

## **KOREAN INDUSTRIAL PROPERTY OFFICE**



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: 1999-49951

Date of Application: 11 November 1999

Applicant(s): Samsung Electronics Co., Ltd.

12 January 2000

**COMMISSIONER**

[Document Name] Patent Application

[Application Type] Patent

[Receiver ] Commissioner

[Reference No] 0011

[Filing Date] 1999.11.11.

[IPC No.] H04N

[Title] Optical Transfer System Having Transmitter and Receive

[Applicant]  
Name: Samsung Electronics Co., Ltd.  
Applicant code: 1-1998-104271-3

[Attorney]  
Name: Young-pil Lee  
Attorney's code: 9-1998-000334-6  
General Power of Attorney Registration No. 1999-009556-9

[Attorney]  
Name: Sang-bin Jeong  
Attorney's code: 9-1998-000541-1  
General Power of Attorney Registration No. 1999-009617-5

[Attorney]  
Name: Deog-young Kwak  
Attorney's code: 9-1998-000630-5  
General Power of Attorney Registration No. 1999-009616-8

[Inventor]  
Name: LEE, Jae Hun  
I.D. No. 660115-1255512  
Zip Code 403-100  
Address: 711-1002, Bugae Jukong Apt., 502-8, Bugae-dong, Bupyeong-gu,  
Incheon-city, Republic of Korea  
Nationality: KR

[Inventor]

Name: MOON, Byung Joon  
I.D. No. 650220-1849920  
Zip Code 449-900  
Address: 102-907, Dongbu Apt., 384-1, Gugal-ri, Kiheung-eub,  
Yongin-city, Kyungki-do, Republic of Korea  
Nationality: KR

[Priority Claiming]

Application Nationality Republic of Korea  
Application Type Patent  
Application No. 10-1999-0040649  
Filing Date 1999.09.21.  
Evidencing Document Attached

[Application Order] We respectively submit an application according to Art. 42 of the Patent Law.

Attorney	Young-pil Lee	(seal)
Attorney	Sang-bin Jeong	(seal)
Attorney	Deog-young Kwak	(seal)

[Fee]

Basic page:	20 Sheet(s)	29,000 won
Additional page:	62 Sheet(s)	62,000 won
Priority claiming fee:	1 Case(s)	26,000 won
Examination fee:	0 Claim(s)	0 won
Total:		117,000 won

[Enclosures]

1. Abstract and Specification ( and Drawings) 1 copy each
2. Priority Evidential Certifying Document (and translation thereof) 1 copy

CERTIFIED COPY OF  
PRIORITY DOCUMENT

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 49951 호  
Application Number

출원년월일 : 1999년 11월 11일  
Date of Application

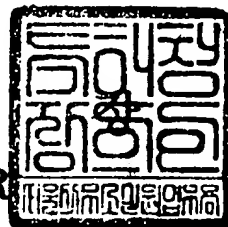
출원인 : 삼성전자 주식회사  
Applicant(s)



2000 년 01 월 12 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	1999.11.11
【국제특허분류】	H04N
【발명의 명칭】	송신장치와 수신장치를 구비하는 광 전송 시스템
【발명의 영문명칭】	Optical Transfer System having Transmitter and Receive
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	이재훈
【성명의 영문표기】	LEE, Jae Hun
【주민등록번호】	660115-1255512
【우편번호】	403-100
【주소】	인천광역시 부평구 부개동 502-8호 부개 주공아파트 711동 1002호
【국적】	KR
【발명자】	
【성명의 국문표기】	문병준
【성명의 영문표기】	MOON, Byung Joon

**【주민등록번호】** 650220-1849920  
**【우편번호】** 449-900  
**【주소】** 경기도 용인시 기흥읍 구갈리 384-1 동부아파트 102동 90호  
**【국적】** KR  
**【우선권주장】**  
**【출원국명】** KR  
**【출원종류】** 특허  
**【출원번호】** 10-1999-0040649  
**【출원일자】** 1999.09.21  
**【증명서류】** 첨부  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 정상빈 (인) 대리인 곽덕영 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 62 면 62,000 원  
**【우선권주장료】** 1 건 26,000 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 117,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통 2. 우선권증명서류 및 동 번역문\_1통

## 【요약서】

### 【요약】

송신 장치와 수신 장치를 구비하는 광 전송 시스템이 개시된다. 본 발명에 따른 송신 장치와 수신 장치를 구비하는 광 전송 시스템은, 외부에서 인가되는 비디오 신호를 광 신호로 변환하여 전송하고, 변환된 광 신호를 원래의 비디오 신호로 복원하는 광 전송 시스템에 있어서, 비디오 제어기, 송신 장치, 송신용 광 다이오드, 광 전송로, 수신용 광 다이오드 및 수신 장치를 구비한다. 비디오 제어기는, 비디오 신호로부터 색 신호와 수평/수직 동기 신호를 분리하고, 외부에서 인가되는 소정의 데이터 인에이블 신호 및 클럭 신호에 응답하여 색 신호와 상기 수평/수직 동기 신호를 전송한다. 송신 장치는, 비디오 제어기로부터 인가되는 신호들을 스큐 보상 및 압축하고, 압축된 신호를 구동 전류로 변환한다. 송신용 광 다이오드는 송신 장치에서 출력되는 구동 전류를 광 신호로 변환하고, 변환된 광 신호를 출력한다. 광 전송로는 소정 수의 채널로 구성되어 광 신호를 전송한다. 수신용 광 다이오드는 광 전송로를 통하여 인가되는 광 신호를 전류로 변환하고, 변환된 전류 신호를 출력한다. 수신 장치는, 전류 신호를 전압으로 변환하고, 변환된 신호를 압축 해제 및 스큐 보상하여 원래의 신호를 복원한다. 본 발명에 의하면, LCD모니터의 데이터를 광 전송함으로써 고속의 데이터 전송이 수행될 수 있고, 전자기 방해(EMI) 노이즈가 제거될 수 있다는 효과가 있다.

### 【대표도】

도 2

**【명세서】****【발명의 명칭】**

송신 장치와 수신 장치를 구비하는 광 전송 시스템{Optical Transfer System having Transmitter and Receiver}

**【도면의 간단한 설명】**

도 1은 본 발명의 실시예에 따른 광 전송 시스템을 개략적으로 나타내는 블록도이다.

도 2는 도 1에 도시된 광 전송 시스템의 송신 장치를 나타내는 블록도이다.

도 3은 도 2에 도시된 송신 장치의 광학 드라이버를 나타내는 블록도이다.

도 4는 도 3에 도시된 광학 드라이버의 밴드 갭 회로를 구체적으로 나타내는 회로도이다.

도 5는 도 3에 도시된 광학 드라이버의 레이저 드라이버를 나타내는 회로도이다.

도 6(a)~6(c)는 도 5에 도시된 레이저 드라이버의 동작을 설명하기 위한 파형도들이다.

도 7(a)~7(c)는 도 5에 도시된 레이저 드라이버의 동작을 설명하기 위한 다른 파형도들이다.

도 8은 도 1에 도시된 광 전송 시스템의 수신 장치를 나타내는 블록도이다.

도 9는 도 8에 도시된 수신 장치의 광학 수신기를 나타내는 블록도이다.

도 10은 도 9에 도시된 광학 수신기의 상세한 회로도이다.



도 11(a) 및 11(b)는 도 10에 도시된 광학 수신기의 입출력 신호를 나타내는 파형도들이다.

도 12(a)~12(d)는 도 10에 도시된 광학 수신기의 동작을 설명하기 위한 파형도들이다.

도 13(a)~13(c)는 도 10에 도시된 광학 수신기의 동작을 설명하기 위한 다른 파형도들이다.

도 14는 도 8에 도시된 수신 장치의 데이터 복원 및 스큐 보상부를 나타내는 블록도이다.

도 15 (a) 및 15(b)는 도 14에 도시된 데이터 복원 및 스큐 보상부에 인가되는 워드 클럭 신호 및 직렬 데이터의 파형도들이다.

도 16은 도 14에 도시된 장치를 이용한 데이터 복원 방법을 나타내는 플로우차트이다.

도 17은 워드 클럭 신호 및 클럭 신호 발생부로부터 출력되는 제1 ~ 제9 논 오버랩핑 클럭 신호들의 파형도들이다.

도 18은 도 14에 도시된 제1래치부를 구체적으로 나타내는 회로도이다.

도 19는 도 14에 도시된 동기화부를 구체적으로 나타내는 블록도이다.

도 20은 도 16에 도시된 제540 단계의 세부적인 플로우차트이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <21>        본 발명은 데이터 전송 시스템에 관한 것으로서, 특히, 송신 장치와 수신 장치를 구비하는 광 전송 시스템에 관한 것이다.
- <22>        일반적으로, 음극선관(Cathode Ray Tube:이하, CRT) 모니터는 아날로그 방식에 의해 제어된다. 그러나, 액정 표시 장치(Liquid Crystal Device:이하, LCD) 모니터는 디지털 신호를 구동 신호로 사용한다. 예를 들어, 본체와 연결되지 않고 외부에 별도로 구비되는 LCD 모니터는 디지털/아날로그 변환기를 이용하여 아날로그 비디오 신호를 모니터 내부에서 디지털 신호로 변환하고, 변환된 디지털 신호에 의해 데이터를 화면 상에 디스플레이한다. 또한, 노트북 컴퓨터의 LCD 모니터는 본체로부터 디지털 신호 자체를 수신하고, 이에 따른 데이터를 화면 상에 디스플레이한다. 그러나, 이와 같이 디지털 신호를 전송하여 디스플레이하는 경우에는, 신호의 간섭이나 노이즈에 의한 영향이 발생할 수 있다. 따라서, 저전압 차동 신호(Low Voltage Differential Signal:이하, LVDS)를 이용한 패널 링크 칩 등을 이용하여 신호 형태를 변화시킨 후 LCD패널로 전송하여 화면에 디스플레이하는 방식이 널리 사용되고 있다.
- <23>        그러나, 디지털 방식을 이용하는 종래의 LCD모니터는 데이터 전송 시에 동축 케이블을 사용한다. 이러한 경우에는, 아날로그/디지털 변환기를 사용함에 따라 가격이 상승될 수 있다. 또한, 디스플레이를 위한 해상도가 점점 더 증가됨에 따라 전송 속도 상승과 같은 특별한 대책이 요구된다. 이와 더불어, 동축 케이블로 데이터를 전송하는 경우

에는, 신호 전송 거리에 따른 제한이 발생할 수 있다는 단점이 있다. 즉, 케이블 길이가 증가하면, 케이블에 따른 노이즈가 발생되어 장거리 전송이 어렵게 될 수 있다. 또한, 케이블 간에 전자기 방해 (ElectroMagnetic Interference:EMI) 현상이 발생되어 전송 데이터의 품질이 떨어질 수 있다는 문제점도 존재한다.

**【발명이 이루고자 하는 기술적 과제】**

<24> 본 발명이 이루고자하는 제1기술적 과제는, 고속 전송이 가능하고, 케이블 간의 전자기 방해 현상을 없앨 수 있는, 송신 장치와 수신 장치를 구비하는 광 전송 시스템을 제공하는데 있다.

<25> 본 발명이 이루고자하는 제2기술적 과제는, 상기 광 전송 시스템의 송신 장치에 구비되는 광학 드라이버를 제공하는데 있다.

<26> 본 발명이 이루고자하는 제3기술적 과제는, 상기 광 전송 시스템의 수신 장치에 구비되는 광학 수신기를 제공하는데 있다.

<27> 본 발명이 이루고자하는 제4기술적 과제는, 상기 수신 장치에서 전송 채널을 통해 전송된 데이터와 워드 클럭 신호 사이의 스큐를 보상하여 원래의 정보 데이터를 안정적으로 복원해낼 수 있는 데이터 복원 및 스큐 보상 회로를 제공하는 데 있다.

<28> 본 발명이 이루고자 하는 제5기술적 과제는, 상기 데이터 복원 및 스큐 보상 회로에서 수행되는 데이터 복원 방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

<29> 상기 제1과제를 이루기위해, 본 발명에 따른 송신 장치와 수신 장치를 구비하는 광 전송 시스템은, 외부에서 인가되는 비디오 신호를 광 신호로 변환하여 전

송하고, 변환된 광 신호를 원래의 비디오 신호로 복원하는 광 전송 시스템에 있어서, 비디오 제어기, 송신 장치, 송신용 광 다이오드, 광 전송로, 수신용 광 다이오드 및 수신 장치를 구비한다. 비디오 제어기는, 비디오 신호로부터 색 신호와 수평/수직 동기 신호를 분리하고, 외부에서 인가되는 소정의 데이터 인에이블 신호 및 클럭 신호에 응답하여 색 신호와 상기 수평/수직 동기 신호를 전송한다. 송신 장치는, 비디오 제어기로부터 인가되는 신호들을 스큐 보상 및 압축하고, 압축된 신호를 구동 전류로 변환한다. 송신용 광 다이오드는 송신 장치에서 출력되는 구동 전류를 광 신호로 변환하고, 변환된 광 신호를 출력한다. 광 전송로는 소정 수의 채널로 구성되어 광 신호를 전송한다. 수신용 광 다이오드는 광 전송로를 통하여 인가되는 광 신호를 전류로 변환하고, 변환된 전류 신호를 출력한다. 수신 장치는, 전류 신호를 전압으로 변환하고, 변환된 신호를 압축 해제 및 스큐 보상하여 원래의 신호를 복원한다.

<30>      상기 제2과제를 이루기위해, 본 발명에 따른 광 전송 시스템의 송신 장치에 구비되는 광학 드라이버는, 소정의 채널 데이터를 광 전송로를 통하여 광 신호로 전송하기 위한 송신 장치(Transmitter)의 광학 드라이버에 있어서, 바이어스 및 변조 저항 가변부, 밴드 갭 회로 및 레이저 드라이버를 구비한다. 바이어스 및 변조 저항 가변부는, 저항 값이 가변되는 바이어스 저항과 변조 저항을 포함하고, 바이어스 저항과, 변조 저항 값의 변화에 의해 출력되는 전류량을 변화시킨다. 밴드 갭 회로는, 외부 변화에 관계없이 항상 일정한 값으로 유지되는 밴드 갭 기준 전압을 설정하고, 설정된 기준 전압과, 바이어스 저항 및 변조 저항에 의한 전류 변화에 의해 바이어스 전류 또는 변조 전류를 가변시킨다. 레이저 드라이버는, 각 채널 데이터를 받아들여 전류 신호로 변환하고, 밴드 갭 회로에서 발생하는 변조 전류와, 바이어스 전류를 전류 신호와 더하여 외부 광 소자를

구동하기 위한 구동 전류로서 출력한다.

<31>      상기 제3과제를 이루기위해, 본 발명에 따른 광 전송 시스템의 수신 장치에 구비되는 광학 드라이버는, 외부의 광 수신용 다이오드에서 전류 신호로 변환된 채널 데이터를 수신하여 디지털의 신호로 복원하는 수신 장치의 광학 수신기에 있어서, 바이어스 회로, 전류/전압 변환부, 증폭부, 듀티 보상부 및 레벨 변환부를 구비한다. 바이어스 회로는, 전원 전압으로부터 소정의 전류를 공급받아 제1바이어스 전류 및 제2바이어스 전류를 생성한다. 전류/전압 변환부는, 제1바이어스 전류에 응답하여 전류를 소싱하고, 광 수신용 다이오드로부터 출력되는 전류 신호를 차동의 전압 신호로 변환한다. 증폭부는, 제1바이어스 전류에 응답하여 전류를 소싱하고, 차동 전압 신호를 증폭하여 증폭된 결과를 제1차동 출력 신호와 제2차동 출력 신호로서 생성한다. 듀티 보상부는, 제1바이어스 전류에 응답하여 전류를 소싱하며 출력 전류가 서로 더해지는 전류 서밍(summing) 구조의 비교기들로 구현되고, 제1차동 출력 신호와 제1기준 전압을 비교하고, 제2차동 출력 신호와 제2기준 전압을 비교하여 비교된 결과에 상응하는 제1, 제2출력 신호를 생성한다. 레벨 변환부는, 제2바이어스 전류에 응답하여 전류를 소싱하며, 듀티 보상부에서 출력되는 제1출력 신호와 제2출력 신호의 전압 레벨을 디지털화하고, 디지털화된 신호를 출력한다.

<32>      상기 제4과제를 이루기위해, 본 발명에 따른 광 전송 시스템의 수신 장치에

구비되는 데이터 복원 및 스큐 보상 회로는, 서로 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제n 논 오버래핑 클럭 신호들을 발생하는 위상 동기 루프를 구비하고, 각각 n(여기서, n은 1이상의 양의 정수)비트의 동기 신호와 정보 데이터가 멀티플렉싱되어 전송 채널을 통하여 직렬 전송되는 데이터를 제1~제n논 오버래핑 클럭 신호들에 응답하여 복원하는 수신 장치의 데이터 복원 및 스큐 보상 회로에 있어서, 제1래치부, 제2래치부 및 동기화부를 구비한다. 제1래치부는, 수신된 직렬 전송 데이터를 제1 ~ 제n 논 오버래핑 클럭 신호들에 응답하여 병렬로  $n+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치하고, 서로 간에 소정 오프셋의 시간차를 가지며 각각이 래치된 n비트로 이루어진 N개의 상태 데이터들을 출력한다. 제2래치부는 N개의 상태 데이터들을, 제1 ~ 제n 논 오버래핑 클럭 신호들중 타이밍 마진이 가장 큰 제X( $1 \leq X \leq n$ ) 논 오버래핑 클럭 신호에 응답하여 병렬로 래치한다. 동기화부는, 소정의 동기 존재 신호와 제X 논 오버래핑 클럭 신호에 응답하여, 제2 래치부에서 래치된 데이터들중 동기 신호가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 출력한다.

<33>      상기 제5과제를 이루기위해, 본 발명에 따른 데이터 복원 및 스큐 보상 회로의 데이터 복원 방법은, 전송 채널을 통해 클럭 신호와 함께 직렬로 전송되며 각각이 n(여기서, n은 1이상의 양의 정수)비트인 동기 신호와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 정보 데이터를 복원해내는 데이터 복원 방법에 있어서, (a) ~ (e)단계를 구비한다. (a)단계는, 서로가 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제n 논 오버래핑 클럭 신호들을 클럭 신호를 기준으로 발생한다. (b)단계는 수신한 직렬 전송 데이터를 제1 ~ 제n 논 오버래핑 클럭 신호들을 이용하여 병렬로  $n+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치한다. (c) 단계는 서로간에 소정 오프셋의 시간차를 가지며 각

각이 래치된  $n$ 비트로 이루어진  $N$ 개의 상태 데이터들을 발생한다. (d)단계는  $N$ 개의 상태 데이터들을, 제1 ~ 제 $n$  논 오버래핑 클럭 신호들중 타이밍 마진이 가장 큰 제 $X$  ( $1 \leq X \leq n$ ) 논 오버래핑 클럭 신호에 동기시켜 병렬로 래치한다. (e)단계는 직렬 전송 데이터가 동기 신호일 때, 래치된 상태 데이터들중 동기 신호가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 결정한다.

<34> 이하, 본 발명에 따른 송신 장치와 수신 장치를 구비하는 광 전송 시스템에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

<35> 도 1은 본 발명의 실시예에 따른 광 전송 시스템을 개략적으로 나타내는 블록도이다. 광 전송 시스템은 비디오 제어기(10), 송신 장치(12), 송신용 광 다이오드(14), 광 전송로(15), 수신용 광 다이오드(16), 수신 장치(17)를 포함한다. 설명의 편의를 위하여 박막 트랜지스터(Thin Film Transistor: 이하, TFT) LCD 패널(19)이 함께 도시된다. 본 발명의 광 전송 시스템은 LCD 모니터와 PC사이에 적용될 수 있으며, 그 밖의 디스플레이 장치 및 외부 기기들 사이에도 적용될 수 있다.

<36> 비디오 제어기(10)는 PC 본체 또는 외부에서 PCI(Programmable Communication Bus) 시스템 버스를 통하여 인가되는 비디오 신호로부터 R/G/B 색 신호와 수평/수직 동기 신호(HSYNC, VSYNC)를 분리한다. 또한, 비디오 제어기 (10)는 외부에서 인가된 데이터 인에이블 신호(DE)와 클럭 신호(CLK)에 응답하여 상기 R/G/B 색 신호 또는 동기 신호(HSYNC/VSYNC)를 전송한다. 한 예로써 R/G/B 색 신호는 각각 8비트의 디지털 신호로 구현될 수 있다.

<37> 송신 장치(Transmitter)(12)는 비디오 제어기(10)로부터 인가되는 디지털 신호를 스큐 보상 및 압축하고, 압축된 신호를 이용하여 광 송신용 다이오드(14)를 구동하기

위한 구동 전류를 생성한다.

- <38> 송신용 광 다이오드(14)는 일반적으로 표면 광 레이저(Vertical Cavity Surface Emitting Laser:VCSEL)와 같은 레이저 다이오드로 구현된다. 또한, 송신용 광 다이오드(14)는 송신 장치(12)로부터 인가되는 구동 전류를 광 신호로 변환하여 전송한다.
- <39> 광 전송로(Plastic Optical Fiber:POF)(15)는 송신용 광 다이오드(14)에서 변환된 광 신호를 수신측의 수신용 광 다이오드(16)로 전송한다.
- <40> 수신용 광 다이오드(16)는 일반적으로 포토 다이오드(Photo Diode)로 구현된다. 또한, 수신용 광 다이오드(16)는 수신된 광 신호를 전류 신호로 변환하여 출력한다.
- <41> 수신 장치(17)는 수신용 광 다이오드(16)로부터 인가되는 전류 신호를 전압으로 변환하고, 변환된 신호를 압축 해제 및 스큐 보상하여 원래의 디지털 신호를 복원한다. 이때, 복원된 신호는 클럭 신호(CLK)와 데이터 인에이블 신호(DE)에 응답하여 LCD패널(19)에 디스플레이된다.
- <42> 먼저, 도 1에 도시된 광 전송 시스템의 송신 장치에 관하여 보다 구체적으로 기술된다.
- <43> 도 2는 도 1에 도시된 송신 장치(12)를 나타내는 실시예의 블럭도이다. 도 2를 참조하면, 송신 장치(12)는 스큐 보상부(200), 스크램블러(220), 데이터 직렬화부(240), 위상 동기 루프(Phase Locked Loop:이하, PLL)(270) 및 광학 드라이버(260)를 포함한다.
- <44> PLL(270)은 비디오 제어기(10)(도 1참조)에서 클럭 신호(CLK)를 입력하여 이에 동기되는 클럭 신호를 발생시키고, 상기 발생된 클럭 신호를 각각의 블럭들로 제공한다.



여기에서, PLL(270)은 기가(Giga) Hz급의 전송 속도를 갖는 고속 전송인 경우에 25MHz~112MHz의 주파수를 갖는 클럭 신호(CLK)를 입력으로 한다. 또한, PLL (270)은 동기된 클럭 신호를 이용하여, 데이터 직렬화부(240)에서 수행되는 데이터 압축을 위한 논 오버래핑(non-overlapping) 클럭 신호들(CKP)을 생성한다.

<45> 스큐 보상부(200)는 동기된 클럭 신호에 응답하여 비디오 제어기 (10)로부터 소정 비트의 채널 데이터들을 받아들이고, 상기 클럭 신호에 대하여 채널 데이터들 사이에서 발생하는 스큐(SKEW)를 보상한다. 여기에서, 스큐는 데이터들 간의 전송 시간이 기준 클럭에 대하여 서로 어긋나는 것을 말한다. 즉, 스큐 보상부(200)는 데이터 전송의 기준이 되는 클럭 신호에 대해 복수 데이터 라인 간의 어긋남을 보상한다. 만일, 데이터 채널 간의 스큐가 허용치를 초과하는 경우에, 비디오 데이터가 틀어지거나 동기 신호가 검출되지 않아 화면이 비정상적으로 보여질 수 있다. 이를 방지하기 위해, 스큐 보상부(200)는 데이터 비트스트림의 시작과 끝을 알 수 있도록 특정 비트 스트림을 설정한다. 또한, 설정된 임의의 시점을 중심으로, 각 데이터 비트스트림의 시작이 정렬되도록 한다. 도 2에서, 각 R/G/B 신호는 8비트(n-1)로 구현되고, 제어 신호(CON)는 4비트(m)로 구현될 수 있다. 또한, 수평/수직 동기 신호(HSYNC/VSNC)와 데이터 인에이블 신호(DE)는 하나의 제어 신호 입력 단자 CON를 통하여 인가되는 것으로 가정된다.

<46> 도 2의 스크램블러(220)는 동기된 클럭 신호에 응답하여 스큐 보상된 채널 데이터들의 하이 레벨과 로우 레벨의 갯수를 카운팅하고, 카운팅된 정보를 직류 밸런스 정보로서 각 채널 데이터에 부가한다. 즉, 스크램블러(220)에서 부가되는 직류 밸런스 정보는 디지털 전송에서 각 데이터 비트의 하이 레벨과 로우 레벨의 균형이 맞는지를 나타낸다. 따라서, 직류 밸런스 정보는 수신측에서 데이터를 복원할 때 데이터의 레벨을 판별하는

기준이 된다. 예를 들어, 전원 전압에 과부하가 걸리는 경우에 전원과 접지의 변화로 인해, 수신되는 데이터에서 하이 레벨과 로우 레벨을 판별하는데 에러가 발생할 수 있다. 또한, 데이터의 전송시 하이/로우 레벨 구간이 균형이 맞지 않으면 기준 전위가 비례하여 변화된다. 이로 인해, 수신 측에서 데이터의 하이, 로우 레벨을 판별하는데 에러가 발생할 수 있다. 이를 위해, 스크램블러(220)는 한 캐릭터 내의 하이 레벨 구간과, 로우 레벨 구간의 갯수를 카운팅한다. 상기 카운팅된 결과는 전송될 데이터의 선두에 실려서 수신측으로 전송된다. 예를 들어, 스크램블러(220)에 입력되는 캐릭터의 데이터 비트가 8비트라 가정할 때, 출력되는 데이터 비트는 직류 밸런스 정보가 부가된 9비트가 된다.

<47> 도 2의 데이터 직렬화부(240)는 PLL(270)에서 생성되는 논 오버랩핑 클럭 신호들(CKP)에 응답하여 스크램블러(220)에서 출력되는 각 채널의 병렬 데이터들을 압축한다. 상기 압축된 결과는 1비트씩의 채널 데이터로 생성된다. 여기에서, 채널 데이터는 R/G/B 색 신호와, 제어 신호(CON)가 될 수 있다. 만일, 데이터가 압축 전송되지 않는다면, 각 R/G/B 색 신호를 구성하는 비트 수만큼의 채널과, 제어 신호를 구성하는 비트 수 만큼의 채널이 요구된다. 그러나, 본 발명에서와 같이 데이터를 압축하여 전송한다면, 채널 수가 줄어들 수 있다는 장점이 있다. 또한, 데이터의 압축 시에 압축되는 비율만큼 데이터 전송 속도도 비례하여 증가된다. 예를 들어, 9비트의 병렬 데이터를 1비트의 신호로 압축하는 경우에는 전송 속도가 9배로 빨라질 수 있다. 이와 같이, 데이터 압축 비율에 따라서 1.008Gbps, 및 1.458Gbps의 전송 속도를 구현하는 것이 가능하다. 데이터 직렬화부(240)는 고속의 전송에 적합하도록, 게이팅 시간이 빠른 소자들로 구현된다.

<48> 광학 드라이버(Optical Driver)(260)는 외부의 광 소자를 구동하기 위해 압축된

채널 데이터 및 상기 클럭 신호를 각각 서로 다른 채널 데이터로 받아들여 전류 신호로 변환하고, 변환된 전류 신호를 출력한다. 또한, 광학 드라이버(260)는 밴드 갭 기준 전압과 외부 변조(modulation) 저항 및 바이어스(bias) 저항 값에 의해 변조 전류 및 바이어스 전류를 변화시킨다. 또한, 광학 드라이버(260)는 채널 데이터를 전류로 변환하고, 상기 변조 전류와 바이어스 전류를 상기 채널 데이터에 반영하여 구동 전류를 생성한다. 도 2의 RDL\_OUT, GLD\_OUT, BLD\_OUT은 각각 광 신호로 변환된 R/G/B 신호를 나타낸다. 또한, CONLD\_OUT과 CLKLD\_OUT은 각각 광 신호로 변환된 제어 신호(CON)와 클럭 신호(CLK)를 나타낸다. 여기에서, 광 소자를 구동하기 위한 전류의 출력 세기는 외부에서 조정될 수 있다. 광학 드라이버(260)에 관해서는 도 3을 참조하여 상세히 기술된다.

<49>        도 3은 도 2에 도시된 광학 드라이버(260)를 설명하기 위한 블록도이다. 도 3을 참조하면, 광학 드라이버(260)는 밴드 갭 회로(300), 바이어스 및 변조 저항 가변부(360) 및 레이저 드라이버(340)를 포함한다. 설명의 편의를 위해서 외부 기생 소자부(370) 및 레이저 다이오드(14)가 함께 도시된다.

<50>        도 3의 밴드 갭 회로(300)는 밴드 갭 기준 전압 발생부(310)와 바이어스 및 변조 전류 발생부(320)를 포함한다. 밴드 갭 회로(300)는 내부 밴드 갭 기준 전압을 기준으로 하여 외부 광 다이오드 구동 전류를 발생시킨다. 바이어스 및 변조 저항 가변부(360)는 외부에 구비되어 바이어스 저항 값과, 변조 저항 값을 변화시켜 바이어스 전류(VBIA) 및 변조 전류(VMOD)를 가변한다. 여기에서, 변조 전류(VMOD)는 실제로 전송되는 광 신호의 스윙(SWING) 범위를 가변하기 위한 전류로 정의된다. 또한, 바이어스 전류(VBIA)는 출력되는 광 신호의 직류 레벨을 제어하기 위한 전류로 정의된다. 바이어스 전류는 레이저 다이오드의 온/오프 경계에서 설정되어 레이저 다이오드의 온/오프에 따른 데이터의

전송 속도가 저하되는 것을 방지한다.

<51> 전술한 바와 같이, 밴드 갭 기준 전압 발생부(310)는 레이저 다이오드를 구동하는 구동 전류를 결정하기 위한 밴드 갭 기준 전압을 내부적으로 발생시킨다. 여기에서, 밴드 갭 기준 전압은 공정 상의 문제, 외부 온도, 전원 또는 노이즈에 전혀 영향을 받지 않고 항상 일정한 전압으로 유지된다. 또한, 밴드 갭 기준 전압 발생부(310)는 외부의 변조 저항에 의해서 발생하는 변조 전압과, 바이어스 저항에 의해 발생하는 바이어스 전압을 연산 증폭한다. 여기에서, 연산 증폭된 각각의 출력은 일정하게 유지된다.

<52> 바이어스 및 변조 전류 발생부(320)는 밴드 갭 기준 전압 설정부(310)에서 출력되는 연산 증폭 출력(V01, V02)을 밴드 갭 기준 전압 발생부(310)로 피드백시켜 출력 전압을 항상 일정하게 유지한다. 또한, 바이어스 및 변조 전류 발생부(320)는 외부에서 가변되는 바이어스 및 변조 전류에 상응하여 레이저 다이오드 구동 전류를 가변시킨다.

<53> 도 3의 바이어스 및 변조 저항 가변부(360)는 바이어스 전압(RBIA)과 접지(GND) 사이에 병렬 연결되는 저항(R30)과 커패시터(C30) 및 변조 전압(RMOD)과 접지(GND) 사이에 연결되는 저항(R31)과, 커패시터(C31)를 포함한다. 여기에서, 저항(R30)은 외부에서 바이어스 저항 값을 가변하기 위한 저항이다. 따라서, 저항(R30)의 값에 의하여, 레이저 다이오드를 구동하기 위한 바이어스 전류가 결정된다. 또한, 저항(R31)은 외부에서 변조 저항 값을 가변하기 위한 저항이다. 따라서, 저항(R31)의 값이 변화됨에 따라서 레이저 다이오드를 구동하기 위한 전류의 스윙 폭이 결정된다. 또한, 커패시터들(C30, C31)은 외부 노이즈에 의한 영향을 줄이기 위해 부가적으로 구비된다.

<54> 레이저 드라이버(340)는 각 채널 데이터(SIN)를 받아들여 전류 신호로 변환하고, 밴드 갭 회로(300)에서 발생하는 변조 전류(VMOD)와, 바이어스 전류 (VBIAS)를 더하여

구동 전류(LD\_OUT)를 발생시킨다. 레이저 드라이버(340)에 관해서는 도 5를 참조하여 상세히 기술된다.

<55> 또한, 도 3의 외부 기생 소자부(370)는 저항들(R32, R33), 커패시터(C32, C33), 코일(L31, L32), 저항(R34), 커패시터(C34)로 구성된다. 즉, 외부 기생 소자부(370)는 레이저 드라이버(340)의 출력과, 레이저 다이오드(14) 사이에서 발생될 수 있는 기생 소자들이 모델링된 형태를 나타낸다. 예를 들어, 집적 회로의 패드에 의한 기생 커패시터 성분과, 칩의 본딩 와이어 두께 또는 면적에 의한 기생 성분들이 모델링될 수 있다. 즉, 본 발명에서와 같이 압축된 데이터가 1.5Gbps의 고속 주파수로 전송되는 경우에는, 기생 소자에 의한 영향이 무시될 수 없으므로 회로 설계 시에 이러한 기생 성분이 고려되어야 한다.

<56> 도 3에 도시된 광학 드라이버(260)는 각 채널 별로 구비된다. 즉, R/G/B 각 색 신호를 위한 3개의 채널과, 제어 신호(CON)와 클럭 신호(CLK)를 위한 2개의 채널에 대한 5개의 드라이버 회로가 구비된다. 여기에서, 회로 설계 방식에 따라서 채널 수는 다소 변경될 수 있다.

<57> 도 4는 도 3에 도시된 광학 드라이버(260)의 밴드 갭 회로(300)를 나타내는 구체적인 회로도이다. 도 4를 참조하면 밴드 갭 회로(300)는 밴드 갭 기준 전압 발생부(310), 바이어스 및 변조 전류 발생부(320) 및 파워 세이브 제어부(330)를 포함한다.

<58> 도 4의 밴드 갭 기준 전압 발생부(310)는 전압 생성부(312)와 연산 증폭부(314)를 포함한다. 밴드 갭 기준 전압 발생부(310)에 있어서, 전압 생성부(312)는 전원 전압(VCC)을 입력받아 외부의 변화에도 항상 일정한 값으로 유지되는 밴드 갭 기준 전압(REF)을 생성한다. 이를 위해, 전압 생성부(312)는 PMOS 트랜지스터들(MP10, MP11,

MP13, MP14), PNP 트랜지스터들(QN11~QN19), 저항들(R10~R19) 및 커패시터들(C10, C11)을 포함한다.

<59> 계속하여, 전압 생성부(312)에 관하여 보다 구체적으로 기술된다. 전압 생성부(312)는, 외부의 변화, 예를 들어, 저항의 산포, 전원 전압 변화, 온도 변화 또는 트랜지스터의 특성 변화에 의해 밴드 갭 기준 전압(REF)이 변화되는 경우에, 이를 감지하여 자체적으로 보상한다. 전압 생성부(312)에서 기준이 되는 제1노드(N1)는 트랜지스터(MP14)의 게이트에 걸리는 전압에 의해 전위가 결정된다. 또한, 트랜지스터(MP14)에 흐르는 전류는 트랜지스터(MP14)의 게이트와 소스간 전압에 의해 제어된다. 밴드 갭 기준 전압(REF)은 제1노드(N1)의 전압이 저항(R18)과 저항(R20)에 의해 분배된 값으로 결정된다. 또한, 외부 저항(R30, R31)에 걸리는 전압(RMOD, RBIA)은 연산 증폭기(46, 48)에 의해 피드백 루프가 형성되어 항상 일정한 레벨로 보상된다. 만일, 전원 전압, 온도, 트랜지스터의 증폭 계수 변화 및 저항 산포가 변화되면 제1노드(N1)의 전압이 변화된다. 이 때, 일측이 제1노드(N1)와 연결되는 저항들(R16, R17)의 각 타측에 베이스가 연결되는 트랜지스터들(QN11, QN12)은 상기 각 변화량을 감지하여 변화량만큼 보상한다. 즉, 트랜지스터들(QN11, QN12)에서 변화량이 감지되면, PMOS트랜지스터(MP11)의 게이트-소스간 전압( $V_{gs}$ )이 변화된다. 이 때, 변화된 만큼의 게이트-소스 간 전압을  $\Delta V$ 라 가정하면, 상기  $\Delta V$ 에 의해 NPN트랜지스터(QN15)의 베이스와 에미터 간 전압이 변화된다. 이로 인해, 제3노드(N3)의 전위가 변화되고, 결과적으로  $\Delta V$ 에 의해 제3노드(N3)의 전압이 변화된다. 이 때, 제3노드(N3)의 전압은 PMOS트랜지스터(MP13)의 게이트로 인가되므로, 제3노드(N3)의 전압이 변화되면 MP13에 흐르는 전류도 변화될 수 있다.

따라서, MP13의 소스와 연결된 제2노드(N2)의 직류 전위가 변화된다. 제2노드(N2)는 PMOS트랜지스터(MP14)의 게이트와 연결되어 있으므로, 제2노드(N2)의 직류 전위가 변화되면, 트랜지스터(MP14)의 게이트와 소스 간 전압이 변화된다. 그러므로, 트랜지스터(MP14)의 드레인과 연결되는 제1노드(N1)의 전위는 제2노드(N2)의 변화량에 대응하여 보상된다. 결과적으로, 저항 산포, 전원 전압, 온도 변화 또는 트랜지스터의 증폭 계수에 의한 영향으로 변화되는 제3노드(N2)의 전압은 제2노드(N2)와 제1노드(N1)를 거치면서 변화량만큼 보상될 수 있다. 따라서, 밴드 갭 기준 전압(REF)은 제1노드(N1)의 전압이 보상됨에 의하여 항상 일정한 전압으로 유지된다.

<60> 연산 증폭부(314)는 전압 생성부(312)에서 생성되는 밴드 갭 기준 전압 (REF)과, 외부 바이어스 저항(R30)에 걸리는 전압(RBIA) 및 변조 저항(R31)에 걸리는 전압(RMOD)을 각각 연산 증폭하여 제1출력 전압(V01) 및 제2출력 전압 (V02)을 생성한다. 이를 위해, 연산 증폭부(314)는 PMOS트랜지스터들(MP15, MP16)과, 연산 증폭기들(46, 48)을 포함한다.

<61> 계속하여, 연산 증폭부(314)에 관하여 구체적으로 기술된다. 밴드 갭 기준 전압 (REF)은 연산 증폭기(46, 48)의 각 정입력 단자로 인가된다. 외부 바이어스 저항(R30)에 걸리는 전압(RBIA)은 연산 증폭기 (46)의 부입력 단자로 인가된다. 또한, 외부 변조 저항(R31)에 걸리는 전압(RMOD) 은 연산 증폭기(48)의 부입력 단자로 인가된다. 제1연산 증폭기(46)에서 연산 증폭된 결과(V01)와 제2연산 증폭기(46)에서 연산 증폭된 결과는 다시 각각의 부입력 단자로 피드백되어 출력

전압(V01, V02)이 일정하게 유지된다. 이로 인해, 바이어스 전압(RBIA)과 변조 전압(RMOD)도 항상 일정하게 유지된다. 그러나, 외부 바이어스 저항(R30) 또는 변조 저항(R31)의 저항 값이 가변되면, 단자들(RBIA, RMOD)을 통하여 흐르는 전류량이 변화된다. 따라서, 연산 증폭기(46 또는 48)를 통하여 출력되는 전류량이 가변될 수 있다. 여기에, PMOS트랜지스터들(MP15, MP16)은 전압 생성부(312)의 제2노드(N2)의 전압에 따라서 게이트와 소스 간 전압이 변화된다. 트랜지스터들(MP15, MP16)의 각 드레인에 흐르는 전류는 연산 증폭기(46, 48)의 바이어스 전류로서 인가된다.

<62> 도 4의 밴드 갭 회로(300)에 있어서 바이어스 및 변조 전류 발생부(320)는 상기 제1, 제2출력 전압(V01, V02)을 밴드 갭 기준 전압 발생부(310)로 피드백시킨다. 따라서, 제1, 제2출력 전압(V01, V02)은 일정하게 유지되고, 변조 전압(RMOD)과 바이어스 전압(RBIA)도 일정하게 유지된다. 또한, 바이어스 저항 또는 변조 저항의 저항 값에 의해 바이어스 전류(VBIA) 및 변조 전류(VMOD)가 가변된다.

<63> 계속하여, 바이어스 및 변조 전류 발생부(320)에 관하여 구체적으로 기술된다. 바이어스 및 변조 전류 발생부(320)에서 바이어스 저항(R30)의 값이 변화되는 경우에, 연산 증폭기(48)에서 출력되는 전류가 달라진다. 따라서, 트랜지스터 (MP20)의 베이스 전류가 가변된다. 이로 인해, 트랜지스터(QN20과 QN21)를 통하여 흐르는 전류량이 가변되어 트랜지스터(MP17)를 통하여 흐르는 전류량이 변화된다. 따라서, 레이저 드라이버(340)로 출력되는 바이어스 전류(VBIA)가 달라진다. 또한, 변조 저항(R31)이 변화되는 경우에, 연산 증폭기(46)에서 출력되는 전류가 달라진



다. 이 때, 트랜지스터(QN22)의 베이스 전류가 가변되어 트랜지스터(QN22, QN23)를 통하여 흐르는 전류가 변화된다. 이로 인해, 트랜지스터(MP20)를 통하여 흐르는 전류량이 변화됨으로써 레이저 드라이버(340)(도 3 참조)로 인가되는 변조 전류(VMOD)가 가변된다. 본 발명에서 전원 전압(VCC)은 저전압용으로 설계되어 3.3V로 구현될 수 있으며, 밴드 갭 기준 전압(REF)은 1V 정도로 설정될 수 있다. 이 때, 외부 바이어스 저항 또는 변조 저항의 저항 값이  $10K\Omega$ 이라면 VBIA 또는 VMOD를 통하여 전송되는 전류는 약 100uA가 된다.

<64> 도 4의 파워 세이브 제어부(330)는 파워 소모를 최소화하기 위해, 외부에서 인가되는 파워 세이브 제어 신호(PDB)에 응답하여 밴드 갭 회로(300)를 슬립 모드로 변환한다. 이를 위해, 파워 세이브 제어부(330)는 직렬 연결된 인버터들(42, 44)과 PMOS트랜지스터(MP12, MP18, MP19)를 포함한다.

<65> 예를 들어, 외부에서 인가되는 파워 세이브 제어 신호(PDB)가 하이 레벨로 인액티브되어 있는 경우에는, 상기 트랜지스터들(MP12, MP18, MP19)이 턴오프된다. 또한, 파워 세이브 제어 신호(PDB)가 로우 레벨로 액티브된 경우에는, 상기 트랜지스터들(MP12, MP18, MP19)이 턴온된다. 이와 같이, 파워 세이브 제어 신호(PDB)가 액티브되면, 제3노드(N3)와 각 전류 출력 노드(VBIA, VMOD)는 하이 레벨로 고정된다. 이로 인해, 밴드 갭 기준 전압 발생부(310)와 바이어스 및 변조 전류 발생부(320)는 동작하지 않고 슬립 모드(SLEEP MODE)로 전환된다.

<66> 도 5는 도 3에 도시된 광학 드라이버(260)의 레이저 드라이버(340)를 구체적으로 나타내는 회로도이다. 도 5를 참조하면, 레이저 드라이버(340)는 데이터 분리부(50)와, 전압/전류 변환 및 전류 구동부(55)를 포함한다.

<67> 도 5의 데이터 분리부(50)는 각 채널 데이터를 비반전 신호와 반전 신호로 분리하고, 분리된 결과를 비반전 출력 신호 및 반전 출력 신호로서 생성한다. 이를 위해, 데이터 분리부(50)는 인버터(51)와, 제1분리부(52) 및 제2분리부(53)를 포함한다.

<68> 여기에서, 인버터(51)는 PMOS트랜지스터(MP30)와 NMOS트랜지스터(MN30)로 구성된다. 또한, 입력된 채널 데이터(SIN)를 반전시키고 반전된 결과를 출력한다. 제1분리부(52)는 원래의 데이터(SIN)에 대해서 위상이 반전된 데이터(NSIN)를 얻기 위해, 6개의 직렬 연결된 인버터들(52a~52f)로 구성된다. 상기 인버터들(52a~52f)은 각각 하나의 PMOS 트랜지스터와 하나의 NMOS트랜지스터로 구성된다.

<69> 제2분리부(53)는 원래의 입력 데이터(SIN)와 동일한 위상을 갖는 비반전 신호(PSIN)를 얻기 위해, 5개의 직렬 연결된 인버터들(53a~53e)로 구성된다. 상기 인버터들(53a~53e)은 각각 하나의 PMOS트랜지스터와 하나의 NMOS트랜지스터로 구현된다. 이와 같이, 데이터 분리부(50)에서 입력 데이터(SIN)를 비반전 신호와, 반전 신호로 분리함으로써 데이터의 상승/하강 시간 특성이 개선될 수 있다.

<70> 여기에서, 데이터 분리부(50)의 제1분리부(52)와 제2분리부(53)는 내부의 인버터의 수가 다를 수 있다. 그러나, 데이터 전송이 고속으로 이루어지고, 두 분리부 간의 지연 시간은 서로 같도록 설계된다. 따라서, 제1분리부(52)와 제2분리부(53)를 구성하는 트랜지스터들의 사이즈와 속도의 비율을 고려하여 트랜지스터 채널의 폭과 길이가 설정된다. 따라서, 입력 데이터(SIN)의 주파수가 저주파수에서 고주파수에 이르기까지 시간 지연이 매칭되도록 구현된다.

<71> 도 5의 전압/전류 변환 및 전류 구동부(55)는 데이터 분리부(50)에서 분리된 비반전 출력 신호와 반전 출력 신호의 전압 차를 구하고, 전압 차에 상응하는 전류를 생성하

고, 생성된 전류를 바이어스 전류 및 변조 전류와 더하여 구동 전류(LD\_OUT)로서 출력한다. 이를 위해, 전압/전류 변환 및 전류 구동부(55)는 PMOS트랜지스터들(MP42~MP46), NMOS트랜지스터들(MN42, MN43), NPN트랜지스터들(QN32~QN33), 저항들(R30~R35)을 포함한다.

<72> 전압/전류 변환 및 전류 구동부(55)에 있어서, NMOS트랜지스터들(MN42, MN43)은 비교기를 구성한다. 즉, 데이터 분리부(50)에서 출력되는 반전 출력 신호(NSIN)와 비반전 출력 신호(PSIN)는 NMOS트랜지스터(MN42, MN43)에 의해 비교되어 전압 차가 구해진다. 이 때, 구해진 전압 차는 전류로 변환되어 전류 미러 구조의 PMOS트랜지스터들(MP44, MP45)을 통하여 미러링된다. 예를 들어, 제1분리부(52)에서 출력된 데이터의 전압 레벨이 제2분리부(53)의 출력보다 더 높으면 상기 레벨 차만큼 PMOS트랜지스터(MP43)를 통하여 흐르는 전류가 증가된다. 또한, 제2분리부(53)에서 출력된 데이터의 전압 레벨이 제1분리부(52)에서 출력된 데이터의 전압 레벨보다 높으면, 레벨 차만큼 PMOS 트랜지스터(MP44)를 통하여 흐르는 전류가 증가된다. 이 때, 입력 데이터(SIN)에 의해 결정되는 전류는 밴드 갭 회로(300)에서 구해지는 변조 전류(VMOD) 또는 바이어스 전류(VBIA)에 의해 제어되며 최종적인 구동 전류(LD\_OUT)로서 출력된다.

<73> 계속하여, 레이저 드라이버(340)에 관하여 구체적으로 기술된다. 변조 전류(VMOD)는 PMOS트랜지스터(MP42)에 전달되고, MP42의 트랜지스터의 사이즈에 비례하는 전류가 흐른다. 또한, 바이어스 전류(VBIA)는 트랜지스터(MP46)에 전달되고, 트랜지스터(MP46)의 사이즈에 비례하는 전류가 흐른다. 만일, 저항(R31)이 저항(R33)보다 두 배 정도 큰 저항 값을 갖고, PMOS 트랜지스터(MP45)가 트랜지스터(MP44)의 5배 큰 사이즈를 갖는 것으로 가정한다. 이 때, 저항(R31)의 저항 값이 저항(R33)의 저항 값의 2배이므로, 트랜

지스터 (QN32)에 흐르는 전류는 QN31에 흐르는 전류의 2배가 된다. QN31을 통하여 2배 증가된 전류는 PMOS트랜지스터(MP44)를 통하여 전달된다. 여기에서, MP44에 전달되는 전류는 5배의 사이즈를 갖는 PMOS트랜지스터(MP45)에 의해서 전류의 크기가 5배로 증가된다. 따라서, 변조 전류(VMOD)에 의해 구해지는 입력 데이터(SIN)의 전류 스윙폭 즉, PMOS트랜지스터(MP45)를 통하여 흐르는 전류는 VMOD에 비해 10배 증가된 전류로서 출력된다. 이러한 변조 전류는, 바이어스 전류(VBIA)에 의해 PMOS트랜지스터(MP46)의 사이즈에 비례하여 흐르는 DC전류와 혼합되어 레이저 다이오드 구동 전류(LD\_OUT)로서 출력된다.

<74> 도 6(a)~6(c) 및 도 7(a)~7(c)는 도 5에 도시된 레이저 드라이버(340)의 동작을 설명하기 위한 파형도들로서, 도 6(a) 및 7(a)는 입력되는 채널 데이터(SIN)를 나타낸다. 도 6(b) 및 7(b)는 각각 데이터 분리부(50)의 제1, 제2분리부(52,53)에서 출력되는 신호(NSIN, PSIN)의 변화를 나타낸다. 또한, 도 6(c) 및 7(c)는 레이저 다이오드 구동 전류(LD\_OUT)의 변화를 나타낸다.

<75> 도 6(b)와 7(b)의 참조 부호 62, 72는 제1분리부(52)의 출력 신호(NSIN)를 나타내고, 64, 74는 제2분리부(53)의 출력 신호(PSIN)를 나타낸다. 또한, 도 6(c)와 7(c)의 L65, L75는 구동 전류(LD\_OUT)의 스윙 범위를 나타내고, L67, L77은 구동 전류(LD\_OUT)의 바이어스 레벨을 나타낸다.

<76> 도 6을 참조하면, 도 6은 레이저 드라이버(340)에서 1.429Gbps의 듀티 클럭을 입력 데이터(SIN)로 받아들인 경우를 나타낸다. 이 때, 입력 데이터(SIN)는 도 6에 도시된 바와 같이 0.7ns의 듀티 폭을 갖는다. 또한, 입력 데이터(SIN)의 상승/하강 시간은 0.1ns의 마진을 갖는 것으로 설정된다. 상술한 바와 같이, 도 6(b)는 각각 제1, 제2분리부

(52, 53)의 출력 신호이므로 두 신호(62, 64)는 서로 반전된 위상을 갖는다.

<77> 도 7을 참조하면, 즉, 도 7은 2Gbps의 듀티 클럭을 입력 신호(SIN)로 받아들인 경우를 나타낸다. 도 7(a)에서 상기 클럭은 0.5ns의 듀티 폭을 갖는다. 이와 같이, 입력 데이터(SIN)는 바이어스 전류(VBIA)와 변조 전류(VMOD)에 의해 직류 바이어스 레벨과 전류 스윙 폭이 결정된다.

<78> 이하, 본 발명에 따른 광 전송 시스템의 수신 장치에 관하여 첨부된 도면을 참조하여 다음과 같이 기술된다.

<79> 도 8은 도 1에 도시된 광 전송 시스템의 수신 장치(17)를 구체적으로 나타내는 블록도이다. 도 8을 참조하면, 수신 장치(17)는 광학 수신기(80), 데이터 복원 및 스큐 보상부(82), 디스크램블러(84) 및 위상 동기 루프(PLL)(88)를 포함한다.

<80> 광학 수신기(80)는 포토 다이오드와 같은 광 수신용 다이오드로부터 전류로 변환되어 인가되는 신호를 전압으로 변환하고, 듀티 보상 및 레벨 변환하여 디지털화된 신호로서 출력한다. 이 때, 출력되는 신호는 각 R/G/B 색 신호와 제어 신호(CON) 및 클럭 신호(CLK)가 될 수 있다.

<81> PLL(88)은 광학 수신기(80)로부터 클럭 신호(CLK)를 입력하여, 이에 동기 되는 클럭 신호를 발생시키고, 발생된 클럭 신호를 각각의 블록들로 제공한다. 또한, PLL(88)은 동기된 클럭 신호(CLK)를 이용하여, 데이터 복원 및 스큐 보상부(82)에서 수행되는 데이터 압축 해제를 위한 논 오버래핑(non-overlapping) 클럭 신호들(CKP)을 생성한다.

<82> 데이터 복원(Deserializer) 및 스큐 보상부(82)는 송신 장치(12)(도 1 참조)에서 압축되어 직렬화된 데이터를, PLL(88)에서 출력되는 논 오버래핑 클럭 신호에 응답하여

원래의 신호 즉, 병렬 신호로 해제하고, 스큐가 발생하는 경우에 이를 보상한다. 즉, 데이터 복원 및 스큐 보상부(82)는 압축된 데이터를 소정 비트의 병렬 데이터로 복원하여 출력한다.

<83> 디스크램블(Descramble)부(84)는 데이터 복원 및 스큐 보상부(82)에서 복원된 소정 비트의 신호들을 입력하고, 상기 데이터 비트의 선두에 실린 DC 밸런스 정보에 의해서 하이 레벨과 로우 레벨 구간을 정확히 판별한다. 디스크램블부(84)에서 출력되는 데이터는 각각 R/G/B 출력 신호(R\_OUT, G\_OUT, B\_OUT), 제어 신호(CON\_OUT)와, 클럭 신호(CLK\_OUT)라 할 수 있다.

<84> 도 9는 도 8에 도시된 광학 수신기(80)를 나타내는 블록도이다. 도 9를 참조하면, 광학 수신기(80)는 전류/전압 변환부(920), 증폭부(930), 듀티 보상부(940), 파워 다운 제어부(950), 바이어스 회로(960), 레벨 변환부(970) 및 버퍼부(980)를 포함한다. 설명의 편의를 위해서, 포토 다이오드부(900)와 기생 소자부(910)가 함께 도시된다.

<85> 도 9에 도시된 포토 다이오드부(900)는 광 전송로(15)(도 1 참조)를 통하여 송신 장치(12)(도 1참조)로부터 인가되는 광 신호를 전기적인 신호로 변환한다. 기생 소자부(910)는 외부의 포토 다이오드부(900)에서 내부에 전류 신호를 전송하는 경우에 예측되는 기생 소자들이 모델링된 블록을 나타낸다.

<86> 도 9의 광학 수신기(80)에 있어서, 바이어스 회로(960)는 전원 전압으로부터 소정의 전류를 공급받아 제1바이어스 전류(B1) 및 제2바이어스 전류(B2)를 생성한다.

<87> 전류/전압 변환부(920)는 제1바이어스 전류(B1)에 응답하여 전류를 소싱하고, 포토 다이오드(900)를 통하여 인가되는 전류 신호를 차동의 전압 신호로 변환하여 출력한다.

도 9의 N1과 N2는 각각 전류/전압 변환부(920)의 차동 전압 신호 출력 선을 나타낸다.

<88> 증폭부(930)는 제1바이어스 전류(B1)에 응답하여 전류를 소싱하고, 차동 신호로 변환된 입력 신호를 증폭하여 차동 증폭 신호를 출력한다. 도 9의 N3와 N4는 증폭부(930)의 차동 증폭 신호 출력 선을 나타낸다.

<89> 듀티 보상부(940)는 제1바이어스 전류(B1)에 응답하여 전류를 소싱하며, 상기 증폭부(930)의 출력 신호와 소정의 기준 전압을 비교하여 비교된 결과에 상응하는 차동의 출력 신호를 생성한다. 즉, 듀티 보상부(940)는 전류 서밍 (summing) 구조의 비교기로 구성되어 입력 신호의 듀티를 보상한다. 여기에서, 듀티 보상부(940)의 출력 신호는 한 입력 신호와 상기 입력 신호의 반전된 신호로 나타나는 차동 출력 신호가 된다. 이는, 트랜지스터의 드레스홀드 전압이 온도 및 기타조건에 변화되는 경우에 스위칭 포인트가 변경될 수 있으므로, 이로 인한 출력 신호의 듀티가 변화되는 것을 방지하기 위함이다. 도 9의 N5와 N6는 각각 듀티 보상부(940)의 차동 출력 신호 선을 나타낸다.

<90> 레벨 변환부(970)는 제2바이어스 전류(B2)에 응답하여 전류를 소싱한다. 또한, 레벨 변환부(970)는 듀티 보상부(940)로부터 출력되는 제1, 제2출력 신호의 전압 레벨을 변환하여 디지털화된 TTL(Transistor-Transistor Logic) 레벨의 신호를 출력한다. 도 9의 N7는 레벨 변환부(970)의 출력 신호 선을 나타낸다

<91> 버퍼부(980)는 레벨 변환부(970)에서 출력되는 신호를 버퍼링하여 디지털화된 출력 신호(OUT)를 생성한다. 이때, 버퍼부(980)는 입력 신호에 대하여 소정 레벨 증폭된 신호를 출력하여 출력 드라이빙 능력을 향상시킨다. 여기에서, 버퍼부(980)의 출력 신호(OUT)는 R,G,B, 제어 신호(CON) 또는 클럭 신호(CLK)가 될 수 있다.

- <92> 또한, 파워 다운 제어부(950)는 외부에서 인가되는 파워 다운 제어 신호 (PDIN)에 응답하여 바이어스 회로(960)가 구동되지 않도록 제어한다. 따라서, 파워 다운 모드에서는 다른 전체 블록들이 동작되지 않도록 하여 파워 소모를 줄인다.
- <93> 도 10은 도 9에 도시된 광학 수신기(80)의 상세한 회로도이다.
- <94> 도 10에 도시된 포토 다이오드부(900)는 실제적인 광 수신용 다이오드 예를 들어, 포토 다이오드가 모델링된 것이다. 즉, 도 10의 펄스 발생기(P90)는 포토 다이오드에서 출력되는 전류와 같은 형태의 전류를 생성한다. 펄스 발생기(P90)의 양단에 연결된 커패시터(C46)는 포토 다이오드의 기생 커패시터 성분을 나타낸다. 전압원( $V_{BAT}$ )은 포토 다이오드가 실제로 전원 전압(VCC)과 연결되기 때문에, VCC와 동일한 레벨의 전압으로 설정된다.
- <95> 기생 소자부(910)의 각 커패시터들(C40~C42, C45), 저항들(R40, R41) 및 코일(L40)은 외부의 포토 다이오드부(900)에서 내부에 전류 신호를 전송하는 경우에 예측되는 기생 소자들이 모델링된 결과를 나타낸다. 본 발명에서와 같이, 수 Gbps의 속도로 데이터가 처리되는 시스템에서는 기생 성분에 대한 영향을 고려하여 회로가 설계된다. 또한, 커패시터(C45)는 신호가 입력되는 패드에 의해 나타날 수 있는 기생 커패시터를 나타낸다. 그러나, 실제적인 회로 설계 시에는 입력 전류로부터 차동의 전압 신호를 생성하기 위해 입력 패드와 동일하게 구현되는 더미 패드로서 구현된다. 이와 같이, 기생 소자부(910)는, 수신용 칩이 집적화되는 경우에, 패키지 조립 상태에서의 리드 프레임, 본딩 와이어 또는 패드에서 나타날 수 있는 기생 성분들이 모델링된 것이다.
- <96> 도 10의 전류/전압 변환부(920)는 포토 다이오드부(900)에서 기생 소자부 (910)를 통하여 인가되는 전류 신호를 차동의 전압 신호로 변환한다. 이를 위해, 전류/전압 변환



부(920)는 NPN트랜지스터들(QN50~QN55, QN58)과, 저항들(R50~R62), 및 커패시터(C50)를 포함한다. 트랜지스터들(QN52, QN53)은 전류 신호를 차동 전압으로 출력한다. 즉, 저항(R54)을 통하여 인가되는 입력 전류에 의해 QN52의 콜렉터 전류가 가변되고, 이로 인해 제1노드(N1)의 전압이 가변된다. 여기에서, 트랜지스터(QN53)는 제1노드(N1)의 전압에 상응하는 차동 신호를 생성하기 위해 기준 신호를 생성한다. 도 10의 제2노드(N2)의 전압이 곧 기준 신호가 된다. 여기에서, 저항(R54)은 ESD(Electric Static Discharge) 보호를 위해 구비된다. 커패시터(C50)는 포토 다이오드부(900)의 커패시터(C46)와 매칭되도록 하기위해 구비된다. 트랜지스터(QN52)의 베이스와 트랜지스터(QN50)의 에미터 사이에 연결되는 저항(R53)은 전류/전압 변환 시에 이득을 결정한다. 또한, 트랜지스터(QN53)의 베이스에 연결된 저항들(R52, R55)은 각각 저항들(R54, R53)과 매칭된다. 트랜지스터들(QN50, QN51)은 전원 전압(VCC)과 트랜지스터(QN54)의 콜렉터 사이에 연결되어 전원 전압(VCC)으로부터 소정의 전류를 공급받는다. 증폭부(930)로 입력되는 신호의 직류 레벨은 저항(R50, R51)에 의해 결정된다. 트랜지스터들(QN54, QN55 및 QN58)은 바이어스 회로(960)로부터 인가되는 바이어스 전류(B1)에 응답하여 기준 전류를 흐르게 하는 전류 소스의 역할을 한다.

<97> 도 10의 증폭부(930)는 저항들(R64~R72)과 NPN트랜지스터들(QN56~QN63)로 구성된다. 증폭부(930)에 있어서 NPN트랜지스터(QN56)와 NPN트랜지스터(QN57)는 각각 제1노드(N1)와 제2노드(N2)의 전압을 베이스로 입력하여 차동 증폭한다. 이 때, 증폭된 결과는 각각 트랜지스터(QN63, QN62)를 통하여 제3노드(N3)와 제4노드(N4)로 출력된다.

<98> 예를 들어, 제1노드(N1)의 전압이 제2노드(N2)의 전압보다 높은 경우에는 QN56의 콜렉터 전압이 상대적으로 낮아진다. 이 때, QN57의 콜렉터 전압은 이전보다 높아져서

QN62의 베이스-에미터간 전압을 증가시키고, 제4노드(N4)의 전압은 높아지게 된다. 반대로, 제2노드(N2)의 전압이 제1노드(N1)의 전압보다 높은 경우에는 QN57의 콜렉터 전압이 상대적으로 낮아진다. 이 때, QN56의 콜렉터 전압은 이전보다 높아져서 QN63의 베이스-에미터간 전압이 증가되고, 제3노드(N3)의 전압은 높아진다. 여기에서, 저항(R64)은 저항(R66)과 함께 증폭부(930)의 증폭 이득을 결정한다. 즉, QN56의 콜렉터 전압에 대한 증폭 이득은 다음과 같이 나타낼 수 있다.

<99> 【수학식 1】

$$A_v = \frac{R_{64}}{\frac{R_{66}}{2} + r_{eQ56}}$$

<100> 여기에서,  $r_{eq56}$ 은 NPN트랜지스터(Q56)의 에미터 저항을 나타낸다. 또한, 증폭부(930)에 있어서의 트랜지스터들(QN59~QN61)과, 저항들(R67~R72)은 바이어스 회로(960)에서 발생하는 바이어스 전류(B1)에 의해서 전류 소스를 형성한다.

<101> 도 10의 듀티 보상부(940)는 저항들(R73, R74), NPN트랜지스터들(QN66~ QN71), 저항들(R75, R76), 및 전류 소스를 구성하는 트랜지스터들(QN64, QN65, QN72~QN74)과 저항들(R77~R86)을 포함한다. 즉, 듀티 보상부(940)에 있어서 트랜지스터들(QN64, QN65, QN72~QN74)과 저항들(R77~R86)은 바이어스 전류(B1)를 입력하는 전류 소스의 역할을 한다. 또한, 트랜지스터들(QN66, QN67)과, 트랜지스터들(QN68, QN69)은 각각 전류 합산(SUMMING) 구조의 서로 다른 두 개의 비교기를 구성한다.

<102> 여기에서, 증폭기(93)의 출력인 제3노드(N3)의 전압과 제4노드(N4)의 전압은 각각 QN66의 베이스와 QN69의 베이스로 인가된다. 또한, 제3노드(N3)의 전압은 저항(R75)과 커패시터(C75)에 의해 적분되어 제1기준 전압으로서 트랜지스터 (QN67)

의 베이스로 인가된다. 도 10을 참조하면, 제1기준 전압은 노드(N3a)에 걸리는 전압으로 정의된다. 마찬가지로, 제4노드(N4)의 전압은 저항(R76)과 커패시터(C76)에 의해 적분되어 제2기준 전압으로서 트랜지스터(QN68)의 베이스로 인가된다. 마찬가지로, 제2기준 전압은 노드(N4a)에 걸리는 전압으로 정의된다. 본 발명에서는 Gbps의 속도로 동작하기 때문에, 시정수를 결정하는 R, C값은 상기 속도에 상응하여 적절하게 설정된다. 특히, 커패시터들(C75, C76)은 40pF이상의 값을 갖도록 설정된다.

<103> 이와 같이, 각 비교기의 비교 전압은 입력 신호에 대한 적분치로 설정되어 다양한 입력 신호에 비례하도록 설정된다. 또한, 제1비교기의 출력을 베이스 입력으로 하는 트랜지스터(QN70)는, 출력 신호를 생성하여 제6노드(N6)로 인가한다. 마찬가지로, 제2비교기의 출력을 베이스 입력으로 하는 트랜지스터 (QN71)는 출력 신호를 생성하여 제5노드(N5)로 인가한다.

<104> 보다 구체적으로 듀티 보상부(940)의 동작에 관하여 기술된다. 우선, 듀티 보상부(930)의 제1전류(I1)는 다음과 같은 수학식에 의해 정의될 수 있다.

<105> 【수학식 2】

$$I1 = I_{CQN66} (= I_{SQN66} \exp(\frac{V_{BEQN66}}{V_T})) + I_{CQN68} (= I_{SQN68} \exp(\frac{V_{BEQN63}}{V_T}))$$

<106> 여기에서,  $I_{CQN66}$ 는 QN66의 콜렉터 전류를 나타내고,  $I_{SQN66}$ 은 트랜지스터 (QN66)의 포화 전류를 나타낸다. 또한,  $V_{BEQN66}$ 은 QN66의 베이스와 에미터 사이의 전압을 나타낸다. Q68에 대한 변수도 같은 방식으로 정의된다. 이와 같이, I1는 QN66의 콜렉터 전류와, QN68의 콜렉터 전류의 합으로 정의된다.

<107> 또한, 전류(I2)는 다음과 같은 수학적식에 의해 나타낼 수 있다.

<108> 【수학적식 3】

$$I2 = I_{CQN67}(=I_{SQN67} \exp(\frac{V_{BEQN67}}{V_T})) + I_{CQN69}(=I_{SQN69} \exp(\frac{V_{BEQN69}}{V_T}))$$

<109> 여기에서,  $I_{CQN67}$ 는 QN67의 콜렉터 전류를 나타내고,  $I_{SQN67}$ 은 트랜지스터 (QN67)의 포화 전류를 나타낸다. 또한,  $V_{BEQN67}$ 은 QN67의 베이스와 에미터 사이의 전압을 나타낸다. Q67에 대한 변수도 같은 방식으로 정의된다. 이와 같이, I2는 QN67의 콜렉터 전류와 QN69의 콜렉터 전류의 합으로 정의된다. 따라서, 저항(R73)에 걸리는 전압 즉, 트랜지스터(QN70)의 베이스 전압과 저항(R74)에 걸리는 전압은 각각 다음과 같이 구해질 수 있다.

<110> 【수학적식 4】

$$\begin{aligned} V_{R73} &= VCC - (R73 * I1) \\ V_{R74} &= VCC - (R74 * I2) \end{aligned}$$

<111> 이와 같이, R73과 R74에 걸리는 전압은 전류 값(I1, I2)에 따라서 달라진다. 따라서, 트랜지스터들(QN70, QN71)의 베이스-에미터 간의 전압도 변화된다. 즉, 전류(I1, I2)에 의해 출력 노드(N6, N5)의 전위가 달라진다는 것은 자명하다.

<112> 예를 들어, 제3노드(N3)의 전압이 제4노드(N4)의 전압보다 높은 레벨이면, 전류(I1)는 대부분 트랜지스터(QN66)를 통하여 흐른다. 이 때, QN66의 콜렉터 전압은 낮아지고, 반면, QN69의 콜렉터 전압은 상대적으로 높아진다. 따라서, QN71을 통하여 더 많은 전류가 흐르게 되어 제5노드(N5)의 전압은 높아진다. 반면, 제4노드(N4)의 전압이 제3노드(N3)의 전압보다 높은 레벨을 가지면, 전류(I2)는 대부분 트랜지스터(Q67)를 통하여 흐른다. 이 때, QN69의 콜렉터 전압은 낮아지고, QN66의 콜렉터 전압이 높아진다. 따라

서, 제6노드(N6)의 전압이 높아진다. 또한, 듀티 보상부(940)는 차동 신호들을 이용함으로써 출력 신호의 듀티가 정확히 보상되도록 구현된다.

<113> 도 10의 바이어스 회로(960)는 저항들(R87~R91), NMOS트랜지스터들(MN71, MN72), NPN트랜지스터들(QN76~QN78)로 구성된다. 즉, 전원이 인가되면 파워 다운 제어 신호(PDIN)가 로우 레벨이 아닌 경우에, NMOS트랜지스터들(MN71, MN72)이 동작하여 트랜지스터(QN75)가 턴온된다. 즉, 트랜지스터(QN75)의 에미터를 통하여 흐르는 전류는 트랜지스터(QN77)를 통하여 전달된다. 트랜지스터(QN77)의 컬렉터 전류는 제1바이어스 전류(B1)로서 생성된다. 또한, QN77에 흐르는 전류는 QN77과 전류 미러 구조를 갖는 트랜지스터(QN76)에 미러링된다. 한편, 트랜지스터(MN71)에 흐르는 전류는 트랜지스터(QN78)에 미러링되며, 이 때, QN78에 흐르는 전류는 제2바이어스 전류(B2)가 된다. 제2바이어스 전류(B2)는 저항(R92)을 통하여 레벨 변환부(970)의 바이어스 전류로서 인가된다.

<114> 또한, 본 발명에서는 트랜지스터의 주파수 응답 특성이 최대한 나타날 수 있도록 바이어스 전류가 설정된다. 즉, 트랜지스터는 전류량이 어떻게 설정되는가에 따라서 주파수 응답 특성이 나타난다. 따라서, 각각의 바이어스 전류(B1, B2)를 입력으로 하는 각 블록의 전류 소스들은 각 블록의 기능에 따라 요구되는 전류를 흐르게 하도록 트랜지스터의 사이즈가 결정된다. 또한, 본 발명에서와 같이 고속으로 동작하기 위해서는, 트랜지스터 자체의 특성이 최대한 나타날 수 있도록 각 트랜지스터들의 베이스 저항과, 에미터 저항 값이 설정되어 전류값이 최대가 되도록 한다.

<115> 도 10의 레벨 변환부(970)는 PMOS트랜지스터들(MP70~MP73), NPN 트랜지스터들(QN79~QN84) 및 저항들(R92~R96)로 구성된다. 또한, 레벨 변환부(970)는 아날로그의 신호를 디지털 신호로 처리하기 위해, 신호의 레벨을 디지털화하여 TTL레벨로 변환한다.

레벨 변환부(970)의 저항(R92, R93)과 트랜지스터(QN79)는 바이어스 회로(960)로부터 인가되는 바이어스 전류(B2)를 반복하는 전류 소스의 역할을 한다. 또한, 레벨 변환부(970)의 NPN 트랜지스터들(QN80, QN81)은 듀티 보상부(940)로부터 제5노드(N5)와 제6노드(N6)의 전압을 입력하는 차동 구조를 갖는다. PMOS 트랜지스터(MP70, MP71)는 전류 미러 구조를 가지며, QN80의 콜렉터 전압에 의해 스위칭 온/오프된다. 또한, MP72와 MP73도 전류 미러 구조를 가지며, QN81의 콜렉터 전압에 의해 스위칭 온/오프된다. 또한, 트랜지스터(QN82, QN83 및 QN84)와 저항들(R94~R96)은 MP71에 흐르는 전류에 따라서 소정의 전류를 접지(GND)로 흐르게 한다.

<116> 전술한 바와 같이, 레벨 변환부(970)는 차동 입력 신호를 인가받아 하나의 출력 신호를 생성한다. 여기에서 입력 신호를 차동 형태로 받아들이는 것은 트랜지스터의 드레일드 전압이 온도 및 기타 조건에 대해 변화되는 경우에, 스위칭 포인트가 변경되어 출력 신호의 듀티가 변화되는 것을 방지하기 위해서이다. 이 때, 스위칭된 출력은 PMOS 트랜지스터(MP72, MP73)를 온/오프 시킴으로써 출력 전압을 생성한다. 도 10의 제7노드(N7)는 레벨 변환부(970)의 출력 노드를 나타낸다.

<117> 먼저, 제5노드(N5)의 전압이 제6노드(N6)의 전압보다 높은 경우에, 레벨 변환부(970)의 QN80을 통하여 흐르는 전류가 증가된다. 따라서, QN80의 콜렉터 전위는 낮아지고, PMOS 트랜지스터(MP70, MP71)가 턴온된다. 이 때, MP71를 통하여 흐르는 전류는 NPN 트랜지스터들(QN82, QN83, QN84)에 의해 소정의 전류를 흐르게 한다. 따라서, 제7노드(N7)의 전압은 상대적으로 낮아진다. 이와 반대로, 제6노드(N6)의 전압(VN6)이 제5노드(N5)의 전압(VN5)보다 높은 경우에, 레벨 변환부(970)의 QN81을 통하여 흐르는 전류가 증가된다. 따라서, QN80의 콜렉터 전위는 낮아지고, PMOS 트랜지스터(MP72, MP73)가 턴온

된다. 이 때, MP73의 드레인과 연결되는 출력 노드(N7)의 전압은 높아진다.

<118> 도 10의 파워 다운 제어부(950)는 직렬 연결된 인버터들(952, 954)로 구성된다. 또한, 파워 다운 제어부(950)는 외부에서 인가되는 파워 다운 제어 신호(PDIN)에 응답하여 스위칭된다. 즉, 파워 다운 모드에서 광학 수신기(80)의 회로 전체는 파워 다운 제어 신호(PDIN)에 응답하여 슬립 모드로 설정되며, 전원 전압의 소모는 최소화된다. 즉, 정상 동작하는 경우에 파워 다운 제어 신호(PDIN)는 하이 레벨로 설정되고, 바이어스 회로(960)의 NMOS 트랜지스터들 (MN70, MN71)은 턴온되어 정상적인 동작을 수행한다. 그러나, 파워 다운 제어 신호(PDIN)가 로우 레벨로 설정되면 MN70, MN71이 턴오프되므로 바이어스 회로(960)는 정상 동작할 수 없다. 따라서, 바이어스 전류(B1,B2)를 생성하지 못하기 때문에, 회로 전체는 슬립 모드로 전환된다.

<119> 도 10의 버퍼부(970)는 직렬 연결된 인버터들(91~95)을 포함한다. 도 10에서는 5개의 인버터들로 구성되어 버퍼부(970)의 입력에 대해서 역 위상을 갖는 신호로서 출력된다. 그러나, 광학 수신기(80) 자체의 입력 신호에 대해서는 동상 신호로서 출력된다. 또한, 구체적으로 도시되지는 않았으나, 인버터들(91~95)을 구성하는 내부의 트랜지스터 사이즈는 각각 전단의 인버터(91)에 대해서 점차 2배수로 사이즈가 증가되도록 구성하여 출력 신호의 드라이브 능력을 향상시킨다.

<120> 이와 같이, 광학 수신기(80)는 디지털 처리가 가능하도록 하기 위해 포토 다이오드에서 출력되는 전류 신호를 전압으로 가변한다. 또한, 광학 수신기(80)는 최종적인 출력이 전원 전압에 대해서 풀 스윙하는 TTL 레벨로 변환되고 버퍼링된다. 게다가, 광학 수신기(80)는 기생 소자의 영향이 고려되도록 회로가 설계되어 전류 입력에 대한 동적 범위(DYNAMIC RANGE)가 확장된다. 또한, 파워 절감을 위해, 광학 수신기(80)는 저전압용으

로 설계되고, 전류/전압 전환 시에 상승/하강 시간 및 듀티 마진이 고려된다. 또한, 도 10의 광학 수신기(80)에서 전원 전압 및 접지(GND)에 의한 노이즈가 발생하는 것을 방지하기 위해, 전류/전압 변환부(920)와 증폭부(930) 사이의 전원전압(VCC)과 접지(GND)가 서로 분리된다. 이와 동일한 이유로, 바이어스 회로(960)도 제1바이어스 전류(B1) 생성을 위한 회로와, 제2바이어스 전류(B2) 생성을 위한 회로에서 사용되는 전원 전압(VCC) 라인과 접지(GND) 라인이 분리된다.

<121> 도 11(a) 및 11(b)는 도 10에 도시된 광학 수신기(80)의 입출력 신호를 설명하기 위한 도면들이다. 도 11(a)는 포토 다이오드부(900)를 통하여 인가되는 전류 신호를 나타내고, 11(b)는 최종적으로 버퍼부(980)를 통하여 출력되는 TTL 레벨의 전압 신호를 나타낸다.

<122> 도 11(a)를 참조할 때, 입력 전류는 0~100uA의 피크치를 갖는 소스 클럭 신호로서 파형이 깨끗하지 않은 것은 광 다이오드의 기생 커패시터 성분의 영향을 받는다는 것을 나타낸다. 도 11(b)는 기생 소자들에 의한 영향이 정형되어 노이즈가 제거된 파형으로 출력되는 것을 나타낸다.

<123> 도 12(a)~12(d)는 도 10에 도시된 광학 수신기(80)의 동작을 설명하기 위한 파형도들로서, 12(a)는 기생 소자부(910)의 출력 신호를 나타내고, 12(b)는 전류/전압 변환부(920)의 출력 신호를 나타내고, 12(c)와 12(d)는 증폭부(930)의 출력 신호와 상기 출력 신호의 적분된 신호를 나타낸다.

<124> 도 13(a)~13(c)는 도 10에 도시된 광학 수신기(80)의 동작을 설명하기 위한 다른 파형도들로서, 도 13(a)는 듀티 보상부(940)의 출력 신호를 나타내고, 도 13(b)는 레벨



변환부(970)의 출력 신호를 나타내고, 도 13(c)는 버퍼부(980)의 출력 신호를 나타낸다.

<125> 도 10~도 13을 참조하여 본 발명에 따른 광학 수신기(80)가 보다 구체적으로 기술된다. 우선, 포토 다이오드부(900)로부터 도 10(a)에 도시된 바와 같은 전류 신호가 인가되면 기생 소자부(910)는 리드 프레임 또는 패드에서 발생될 수 있는 기생 성분에 의해 도 12(a)에서와 같이 정형되지 않은 파형으로 나타난다. 즉, 포토 다이오드부(900)에서 일차적으로 기생 커패시터(C46)에 의해 영향을 받은 전류 신호가 기생 소자부(910)에 의해 다시 영향을 받기 때문에 입력되는 파형은 최악의 형태로서 나타난다.

<126> 이 때, 도 12(a)에 도시된 전류 신호는 전류/전압 변환부(920)로 인가되어 도 12(b)와 같은 차동의 입력 신호로서 생성된다. 도 12(a)의 VN1은 트랜지스터 (QN50)의 에미터 즉, 제1노드(N1)에 걸리는 전압을 나타낸다. 또한, 도 12(a)의 VN2는 입력 신호(VN1)에 대해서 차동 입력을 만들어내기 위한 기준 신호를 나타낸다. 즉, 도 12(b)에 나타난 입력 신호(VN1)와 기준 신호(VN2)는 전류/전압 변환부(920)에서 차동의 신호로서 출력된다. 이러한 차동 신호는 증폭부(930)에서 차동 증폭되어 각각 제3노드(N3)와, 제4노드(N4)로 출력된다. 제3노드(N3)와 제4노드(N4)는 각각 증폭부(930)의 NPN트랜지스터(QN63)의 에미터와 QN62의 에미터 전압을 나타낸다.

<127> 이러한 제3노드(N3)의 전압(VN3)과 제4노드(N4)의 전압(VN4)은 듀티 보상부(940)의 두 비교기의 각 입력 신호로서 인가된다. 도 12(c)의 전압 파형(VN3)은 듀티 보상부(940)의 NPN트랜지스터(QN66)의 베이스 입력으로 인가되는 제1증폭 출력을 나타낸다. 도 12(d)의 전압 파형(VN4)은 듀티 보상부(940)의 NPN트랜지스터(QN67)의 베이스로 인가되는 제2증폭 출력을 나타낸다. 도 12(c)를 참조하면 전압 파형(VN3a)은 제3노드(N3)의 전

압(VN3)을 저항(R75)과 커패시터(C75)에 의해 적분한 결과로서 제1비교기의 기준 전압이 된다. 또한, 도 12(d)를 참조하면 전압 파형(VN4a)은 제4노드(N4)의 전압(VN4)을 저항(R76)과, 커패시터(C76)에 의해 적분한 결과로서 제2비교기의 기준 전압이 된다. 이와 같이, 본 발명에서는 입력 신호의 적분된 값이 기준 전압으로 설정됨으로써 다양한 입력 신호에 기준 레벨이 비례하도록 구현된다. 도 12(c) 및 12(d)에 도시된 입력 신호와 기준 전압은 각각 서로 다른 비교기에서 비교되어 각각 제5노드(N5)와 제6노드(N6)에서 출력된다. 도 13(a)의 전압 파형들(VN5와 VN6)은 각각 듀티 보상부(940)의 NPN트랜지스터(QN71)와 QN70의 에미터 전압을 나타낸다. 도 12(c), 12(d)와 도 13(a)를 참조하면, 제3노드(N3)의 전압(VN3)과 제5노드(N5)의 전압(VN5)이 비례하는 것을 알 수 있다. 도 13(a)를 참조하면, 두 전압 신호(VN5, VN6)는 서로 중간 지점의 레벨을 중심으로 크로싱(CROSSING)된다. 즉, 광학 수신기(80)의 출력 신호는, 듀티 보상부(940)에서 차동으로 출력되는 두 신호의 크로싱되는 위치에 의해 출력 신호의 듀티가 결정된다. 따라서, 차동 신호들이 정확히 중심점에서 크로싱되도록 설계되는 것이 중요하다. 즉, 본 발명에서는 듀티 보상부(940)에서 차동 신호에 의해 상대적인 비교가 행해짐으로써 출력 신호의 듀티가 정확히 판단된다. 도 13(a)와 같이 서로 크로싱되는 듀티 보상부(940)의 출력 신호(N5, N6)는 레벨 변환부(970)의 입력 트랜지스터들(QN80, QN81)의 베이스로 각각 인가된다. 도 13(b)는 레벨 변환부(970)의 출력 신호가 시뮬레이션된 결과를 나타내며, 제7노드(N7)의 전압(VN7)을 나타낸다. 따라서, 도 13(a)의 크로싱 포인트를 기준으로 제5노드(N5)의 전압(VN5)이 높은 상태를 유지하면, 도 13(b)에 도시된 제7노드(N7)의 전위는 낮아진다. 이와 반대로, 도 13(a)의 크로싱 포인트를 기준으로 제6노드(N6)의 전압(VN6)이 높은 상태를 유지하면, 도 13(b)에 도시된 제7노드(N7)의 전위는 높

아진다. 이와 같이, TTL레벨로 변환된 신호는 버퍼부(980)를 거쳐서 버퍼링되고, 드라이브 능력이 향상되어 도 13(c)의 파형과 같이 나타난다.

<128> 결과적으로, 도 12 및 도 13에 도시된 바와 같이, 광학 수신기(80)에 인가되는 아날로그의 전류 신호는 최종적인 TTL레벨의 신호로 변환되어 디지털화된 출력으로 전환된다.

<129> 도 14는 도 8에 도시된 수신 장치의 데이터 복원 및 스큐 보상부(82)를 나타내는 블록도이다. 데이터 복원 및 스큐 보상부(82)는 제1, 제2 래치부들(400, 410) 및 동기화부(420)를 포함한다. 설명의 편의를 위해서 위상 동기 루프(88)가 함께 도시된다.

<130> 위상 동기 루프(88)는 광학 수신기(80)를 통하여 클럭 신호(CLK)를 입력하고, 겹치지 않도록 서로 간에 소정 오프셋을 갖는 제1~제n 논-오버랩핑(non-overlapping) 클럭 신호들을 생성한다. 여기에서, n은 9로 가정될 수 있다.

<131> 제1래치부(400)는 수신한 상기 직렬 데이터를 n개의 논 오버랩핑 클럭 신호들에 응답하여 병렬로 래치하여 n비트의 병렬 데이터를 생성한다. 예를 들어, n이 9라 가정하면, 9비트의 병렬 데이터는 1워드(word)로 가정될 수 있다. 또한, 래치된 병렬 데이터는 서로간에 소정 오프셋의 시간차를 갖는 상태 데이터로서 출력된다. 여기에서, 상태 데이터는 각 R/G/B 색 신호와, 동기 신호를 포함한 제어 신호(CON)를 위한 4개 채널의 데이터들이 될 수 있다. 또한, 설명의 편의를 위해, R/G/B 색 신호는 정보 데이터로 명명하기로 한다. 시스템 구현 방식에 따라서, 상태 데이터들의 종류는 4개가 아닌 N개로 구현될 수 있다.

<132> 제2래치부(410)는 제1래치부(400)에서 출력되는 상태 데이터들을, n개의 각

오버래핑 클럭 신호들 중 타이밍 마진이 가장 큰 하나의 논 오버래핑 클럭 신호에 응답하여 병렬로 래치한다. 여기에서, 상기 타이밍 마진이 큰 논 오버래핑 클럭 신호는 제  $X(0 \leq X \leq n)$  번째 클럭 신호 즉, CKPX로 정의된다.

<133> 동기화부(420)는 제2 래치부(410)에서 래치된 데이터들을 입력하고, 소정의 동기 존재 신호와, 제X논 오버래핑 클럭 신호에 응답하여, 동기 신호가 검출되는 상태 데이터를 복원된 정보 데이터로서 출력한다. 여기에서, 동기 존재 신호(DATA/SYNC)는 입력되는 데이터에 동기 신호가 존재하는가를 나타내는 신호로서 외부에서 인가된다.

<134> 즉, 도 14에 도시된 데이터 복원 및 스큐 보상부(82)는 도 1의 송신 장치(12)에서 압축된 데이터를 원래의 병렬 데이터로 해제한다. 또한, 데이터 복원 및 스큐 보상부(82)는 광 전송로(15)를 통하여 수신된 채널 데이터에 스큐가 발생하는 경우에 이를 보상한다.

<135> 도 15 (a) 및 (b)는 도 14에 도시된 장치의 동작을 나타내는 파형도들로서, 도 15(a)는 광학 수신기(80)를 통하여 수신된 클럭 신호(CLK)를 나타내고, 도 15(b)는 광학 수신기(80)를 통하여 수신된 직렬의 채널 데이터(DATAIN)를 나타낸다.

<136> 도 16은 도 14에 도시된 장치에서 수행되는 데이터 복원 방법을 설명하기 위한 플로우차트이다. 본 발명에 따른 데이터 복원 방법은 N개의 상태 데이터들을 직렬 데이터(DATAIN) 및 클럭 신호(CLK)를 이용하여 구하는 단계(제500~제520 단계), 어느 상태 데이터에서 동기 신호가 검출되는가를 결정하는 단계(제530 및 제540 단계)로 이루어진다.

<137> 도 14~도 16을 참조하여 본 발명에 따른 데이터 복원 및 스큐 보상부(82) 및 상기 데이터 복원 및 스큐 보상부(82)에서 수행되는 데이터 복원 방법에 관하여 기술된다.

<138> 먼저, 도 1에 도시된 PLL(88)는 광학 수신기(80)를 통하여 도 15(a)에 도시된 클럭 신호(CLK)를 수신한다. 또한, PLL(88)은 서로 겹치지 않도록 서로 간에 소정 오프셋을 갖는  $n$ 개의 논 오버랩핑(non-overlapping)(여기서,  $M$ 은 1이상의 양의 정수) 클럭 신호들을 클럭 신호(CLK)를 기준으로 발생한다(제500단계). 여기서, 소정 오프셋은 도 15 (b)에 도시된 직렬 데이터에서 단위 비트의 폭(P18)에 해당될 수 있다. 예를 들어, 후술되는 바와 같이 제1 논 오버랩핑 클럭 신호는 도 15 (a)에 도시된 클럭 신호(CLK)와 위상 및 주기가 동일하다. 또한, 제2 논 오버랩핑 클럭 신호는 제1 논 오버랩핑 클럭 신호가 단위 비트의 폭(P18)만큼 위상 쉬프트된 신호로서 정의된다. 이와 같이, PLL(88)은 제1 논 오버랩핑 클럭 신호를 소정 오프셋 간격으로 위상 쉬프트시켜 서로 간에 오프셋 만큼의 위상차를 갖는  $n$ 개의 논 오버랩핑 클럭 신호들을 발생할 수 있다.

<139> 제510 단계 후에, 제1 래치부(400)는 도 15(b)에 도시된 직렬 데이터(DATAIN)를  $n$ 개의 논 오버랩핑 클럭 신호들에 응답하여 병렬로  $n+N-1$ (여기서,  $N$ 은 3이상의 양의 정수)비트 단위로 래치한다(제520단계). 여기서, 직렬 데이터(DATAIN)는 각각이  $n$ 비트인 동기 신호(sync word)와 R/G/B 색 신호에 대한 정보 데이터가 멀티플렉싱된 데이터를 의미한다. 따라서, 직렬 데이터(DATAIN)는 클럭 신호(CLK)와 함께 광학 수신기(80)를 통하여 직렬로 전송된다. 여기에서, 동기 신호는 각 수평 동기 신호와 수직 동기 신호를 나타낸다. 예를 들어, 도 15(b)에 도시된 바와 같이 직렬 데이터(DATAIN)는  $n$ 비트( $d_0 d_1 \dots d_{n-3} d_{n-2} d_{n-1}$ )의 정보 데이터(P20)와  $n$ 비트의( $d_0 d_1 \dots d_{n-3} d_{n-2} d_{n-1}$ ) 동기 신호(22)가 멀티플렉싱된 구조를 갖는다. 따라서, 동기 신호(P22)는 소정 수개의 정보 데이터마다 하나씩 삽입된다.

<140> 제520 단계후에, 제1 래치부(400)는 서로간에 소정 오프셋의 시간차를 가지며 제

510단계에서 래치된  $n$ 비트로 각각 이루어진  $N$ 개의 상태 데이터들을 제2 래치부(12)로 출력한다(제28 단계). 여기서,  $N$ 개의 상태 데이터들은 도 2 (a)에 도시된 클럭 신호(CLK)에 동기되는 제1 상태 데이터(DD), 제1 상태 데이터보다 위상이 지연된(lagging) 적어도 하나 이상의 제2 상태 데이터(DL), 제1 상태 데이터보다 위상이 빠른(leading) 적어도 하나 이상의 제3상태 데이터(DE) 등으로 이루어진다.

<141> 제520 단계후에, 제2 래치부(410)는 제1 래치부(400)로부터 출력되는  $N$ 개의 상태 데이터들을,  $n$ 개의 논 오버래핑 클럭 신호들(CKP0 ~ CKP $n$ -1)중 타이밍 마진이 가장 큰 제 $X$ 논 오버래핑 클럭 신호에 동기시켜 병렬로 래치한다(제530단계). 이는, 제1래치부(400)로부터 출력되는  $n$ 개의 상태 데이터들을 동시에 병렬로 동기화부(420)로 제공하기 위함이다. 즉, 도 14에 도시된 제1 래치부(400)는  $n$ 개의 논 오버랩 클럭 신호들에 응답하여 동작하지만, 제2 래치부(410) 및 동기화부(420)는 제 $X$  논 오버랩 클럭 신호에 의해서만 동작한다.

<142> 제530 단계후에, 동기화부(420)는 동기 존재 신호(DATA/SYNC)와 제 $X$  논 오버래핑 클럭 신호(CKPX)에 응답하여, 제2래치부(410)에서 래치된 상태 데이터들 중 동기 신호가 검출되는 상태 데이터를 복원된 정보 데이터(DATAOUT)로서 결정한다(제540단계). 여기에 서, 동기 존재 신호(DATA/SYNC)는 입력되는 데이터가 실제 R/G/B 색 신호와 같은 정보 데이터인지 수평 또는 수직 동기 신호인지를 나타내는 신호로 정의된다.

<143> 본 발명의 이해를 돕기 위해,  $n=9$ 라 가정하고 즉, 1워드를 9비트라 가정하고,  $N=3$ 이라 가정하여, 도 14에 도시된 장치 및 도 16에 도시된 방법이 다음과 같이 기술된다.

<144> 도 17은 클럭 신호(CLK) 및 도 14에 도시된 PLL(88)로부터 출력되는 제1 ~ 제9 논 오버래핑 클럭 신호들(CKP0 ~ CKP8)의 파형도를 각각 나타낸다.

- <145> 도 18은 도 14에 도시된 제1 래치부(400)를 나타내는 도면이다. 제1래치부(400)는 제1~제11플립플롭들(70a~70k), 제1~제3버퍼들(700, 710, 720)을 포함한다.
- <146> 도 18에 도시된 제1 ~ 제11 플립플롭들(70a~70k) 각각은 수신한 직렬 전송 데이터(DATAIN)의 단위 비트를 데이터 입력단자(D)로 입력하고 제1 ~ 제9 논 오버래핑 클럭 신호들(CKP0 ~ CKP8) 각각을 클럭 단자(CK)로 입력한다. 예를 들어, 제1 플립플롭(70a)은 제1 논 오버래핑 클럭 신호(CKP0)를 클럭 단자(CK)로 입력하고, 직렬로 수신된 직렬 데이터(DATAIN)의 한 비트를 데이터 입력단자(D)로 입력한다.
- <147> 제1버퍼(700)는 제1~제9 플립플롭들(70a~70i)의 정출력(Q)들을 입력하여 버퍼링한다. 이 때, 버퍼링된 결과는 제2 논 오버래핑 클럭 신호(CKP1)에 응답하여 제2 상태 데이터(DL)로서 출력된다. 제2 버퍼(710)는 제2 ~ 제10 플립플롭들(70b ~ 70j)의 정출력(Q)들을 입력하여 버퍼링한다. 이 때, 버퍼링된 결과는 제1 논 오버래핑 클럭 신호(CKP0)에 응답하여 제1 상태 데이터(DD)로서 출력된다. 제3 버퍼(720)는 제3 ~ 제11 플립플롭들(70c~70k)의 정출력(Q)들을 입력하여 버퍼링한다. 이 때, 버퍼링된 결과는 제9 논 오버래핑 클럭 신호(CKP8)에 응답하여 제3 상태 데이터(DE)로서 출력된다.
- <148> 도 17에 도시된 바와 같이, 제1 논 오버래핑 클럭 신호(CKP0)는 클럭 신호(CLK)와 위상 및 주기가 일치하고, 제2 논 오버래핑 클럭 신호(CKP1)는 클럭 신호(CLK)보다 단위 비트 폭 만큼 위상이 느리고, 제9 논 오버래핑 클럭 신호(CKP8)는 클럭 신호(CLK)보다 단위 비트 주기 만큼 위상이 빠르다. 그러므로, 제1 상태 데이터(DD)는, 단위 비트 폭만큼, 제2 상태 데이터(DL)보다 위상이 앞서고 제3 상태 데이터(DE)보다 위상이 느려지게 된다. 이와 같이, 클럭 신호(CLK)의 단위 비트 폭만큼의 위상차를 갖는 제2 및 제3 상태 데이터(DL 및 DE)를 생성하는 이유는 후술되는 바와 같이 스큐를 보상하기 위함이다.

- <149> 도 19는 도 14에 도시된 동기화부(420)를 나타내는 블록도이다. 동기화부(420)는 선택부(730), 상태 및 선택 신호 발생부(740) 및 제4 버퍼(750)를 포함한다.
- <150> 도 19에 도시된 선택부(730)는 제2 래치부(410)로부터 출력되는 제1, 제2 및 제3 상태 데이터들(DD, DL 및 DE)중 하나를 선택 신호(S)에 응답하여 선택하고, 선택된 결과(DATAOUT)를 상태 및 선택 신호 발생부(740)로 출력한다. 이 때, 상태 및 선택 신호 발생부(740)는 동기 존재 신호(DATA/SYNC)에 응답하여, 제1, 제2 또는 제3 상태 데이터(DD, IDL 및 IDE)와 미리 저장하고 있는 동기 신호의 소정 비트 패턴을 비교한다. 또한, 상태 및 선택 신호 발생부(740)는 상기 비교된 결과 및 현재 상태를 나타내는 현재 상태 신호를 논리 조합하여, 선택 신호(S) 및 다음 상태를 나타내는 다음 상태 신호를 생성한다. 이 때, 선택 신호(S)는 선택부(730)로 인가되고, 다음 상태 신호는 제4버퍼(750)로 인가된다. 여기서, 선택 신호(S)에 의해서 선택부(730)는 초기 상태에서 제1 상태 데이터(DD)를 선택하고, 제1 상태 데이터(DD)와 소정 비트 패턴이 일치하지 않으면 제2 상태 데이터(DL)를 선택한다. 또한, 선택부(730)는 선택 신호(S)에 의해서 제2 상태 데이터(DL)와 소정 비트 패턴이 일치하지 않으면 제3 상태 데이터(DE)를 선택한다. 이를 위해, 상태 및 선택 신호 발생부(740)는 제4 버퍼(750)로부터 출력되는 현재 상태 신호를 논리 조합하여 다음 상태 신호를 발생한다.
- <151> 제4 버퍼(750)는 상태 및 선택 신호 발생부(72)로부터 출력되는 다음 상태 신호를 제X 논 오버래핑 클럭 신호(CKPX), 예를 들면 제8 논 오버래핑 클럭 신호(CKP7)에 응답하여 버퍼링한다. 제4버퍼(750)에서 버퍼링된 결과는 현재 상태 신호로서 상태 및 선택 신호 발생부(740)로 인가된다. 이 때, 후술되는 바와 같이 복원된 정보 데이터(DATAOUT)는 동기 신호와 소정 비트 패턴이 일치할 때 선택부(730)에서 선택된 상태 데이터에 해



당된다.

- <152> 도 20은 도 16에 도시된 제540 단계의 상세한 플로우차트로서, 제540단계는 제1, 제2 및 제3 상태 데이터들(DD, DL 및 DE)과 동기 신호의 소정 비트 패턴을 비교하여 원래의 정보 데이터(DATAOUT)를 결정하는 단계들(제800~제880단계)을 포함한다.
- <153> 먼저, 도 19에 도시된 상태 및 선택 신호 발생부(740)는 전송 채널을 통해 전송된 직렬 전송 데이터(DATAIN)가 동기 신호이면, 제1 상태 데이터(DD)가 싱크 워드의 소정 비트 패턴과 일치하는가를 판단한다(제800단계). 예를 들면, 직렬 전송 데이터(DATAIN)가 동기 신호이면 하이 레벨의 동기 존재 신호(DATA/SYNC)가 외부로부터 입력된다. 또한, 직렬 전송 데이터(DATAIN)가 정보 데이터이면 로우 레벨의 동기 존재 신호(DATA/SYNC)가 외부로부터 입력된다. 이 때, 상태 및 선택 신호 발생부(740)는 하이 레벨의 동기 존재 신호(DATA/SYNC)가 입력될 때만 인에이블된다. 또한, 상태 및 선택 신호 발생부(740)는 로우 레벨의 동기 존재 신호(DATA/SYNC)가 입력되면, 현재 상태 신호를 다음 상태 신호로서 바이 패스(bypass)시킨다.
- <154> 만일, 제1 상태 데이터(DD)가 동기 신호의 소정 비트 패턴과 일치하면, 제1 상태 데이터(DD)를 복원된 정보 데이터(DATAOUT)로서 결정한다(제860 단계).
- <155> 그러나, 상태 및 선택 신호 발생부(740)는 제1 상태 데이터(DD)가 소정 비트 패턴과 일치하지 않으면, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하는가를 판단한다(제820단계). 만일, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하면, 제2 상태 데이터(DL)가 복원된 정보 데이터(DATAOUT)로서 결정된다(제870단계).
- <156> 한편, 제2 상태 데이터(DL)가 소정 비트 패턴과 일치하지 않으면, 제3 상태 데이터(DE)가 소정 비트 패턴과 일치하는가가 판단된다(제840단계). 만일, 제3 상태 데이터

(DE)가 소정 비트 패턴과 일치하면, 제3 상태 데이터(DE)가 복원된 정보 데이터(DATAOUT)로서 결정된다(제880단계). 그러나, 제3 상태 데이터(DE)가 소정 비트 패턴과 일치하지 않으면, 제800 단계로 복귀된다. 또한, 제1, 제2 또는 제3 상태 데이터(DD, DL 또는 DE)가 복원된 정보 데이터로서 결정된 후에도 제1, 제2 또는 제3 상태 데이터(DD, DL 또는 DE)가 소정 비트 패턴과 일치하지 않게 되면 제800 단계로 진행한다.

<157> 결국, 직렬 전송 데이터(DATAIN)와 클럭 신호(CLK) 사이에 스큐가 존재하지 않는다면, 제1 상태 데이터(DD)가 복원된 정보 데이터로서 결정된다. 또한, 직렬 전송 데이터(DATAIN)와 클럭 신호(CLK) 사이에  $\leq 1$  비트 주기의 스큐가 존재하면, 제2 또는 제3 상태 데이터(DL 또는 DE)가 복원된 정보 데이터로서 결정된다.

<158> 전술한 실시예에서는  $n=9$  및  $N=3$ 이라 가정하였지만,  $n$ 과  $N$ 을 가변시키면 도 1에 도시된 본 발명에 의한 장치는 직렬 전송 데이터(DATAIN)와 클럭 신호(CLK) 사이에 존재하는  $\leq 2$  비트 주기 이상의 스큐를 보상할 수도 있다.

#### 【발명의 효과】

<159> 본 발명에 따르면, LCD 모니터와 같은 디스플레이 장치와 PC 사이의 데이터 전송을 광 전송으로 대체함으로써 고속의 데이터 전송이 수행될 수 있을 뿐만 아니라, 전기적인 케이블에 의해 나타날 수 있는 EMI 노이즈 또는 간섭의 영향을 받지 않을 수 있다는 효과가 있다. 또한, 가격을 상승시키지 않고도 장거리 전송이 수행될 수 있으며, 고해상도급의 디스플레이 장치에도 간단히 적용될 수 있다. 또한, 기생 소자에 의한 영향이 충분히 고려되어 회로가 설계됨으로써 입출력 신호가 매칭될 수 있도록 구현된다는 효과가 있다.

<160> 또한, 본 발명에 따르면, 동기 신호와 정보 데이터가 멀티플렉싱되어 있는 직렬 전송 데이터가 송/수신될 때, 전송 채널에서 스큐가 발생하더라도 직렬 전송 데이터로부터 정보 데이터를 안정적으로 복원해낼 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

외부에서 인가되는 비디오 신호를 광 신호로 변환하여 전송하고, 변환된 광 신호를 원래의 비디오 신호로 복원하는 광 전송 시스템에 있어서,

상기 비디오 신호로부터 색 신호와 수평/수직 동기 신호를 분리하고, 외부에서 인가되는 소정의 데이터 인에이블 신호 및 클럭 신호에 응답하여 상기 색 신호와 상기 수평/수직 동기 신호를 전송하는 비디오 제어기;

상기 비디오 제어기로부터 인가되는 신호들을 스큐 보상 및 압축하고, 상기 압축된 신호를 구동 전류로 변환하는 송신 장치;

상기 송신 장치에서 출력되는 상기 구동 전류를 광 신호로 변환하고, 상기 변환된 광 신호를 출력하는 송신용 광 다이오드;

소정 수의 채널로 구성되어 상기 광 신호를 전송하는 광 전송로;

상기 광 전송로를 통하여 인가되는 광 신호를 전류로 변환하고, 상기 변환된 전류 신호를 출력하는 수신용 광 다이오드; 및

상기 전류 신호를 전압으로 변환하고, 변환된 신호를 압축 해제 및 스큐 보상하여 원래의 신호를 복원하는 수신 장치를 구비하는 것을 특징으로 하는 광 전송 시스템.

**【청구항 2】**

제1항에 있어서, 상기 송신 장치는,

상기 외부에서 인가되는 클럭 신호에 동기되는 클럭 신호를 발생시키고, 데이터 전송을 위한 실제의 클럭 신호로서 상기 동기된 클럭 신호를 출력하는 위상 동기 루프;

데이타 전송의 기준이 되는 상기 동기된 클럭 신호에 응답하여 상기 비디오 제어기로부터 각 소정 비트로 표현되는 데이타를 다수의 채널 데이타로서 받아들이고, 상기 클럭 신호에 대하여 상기 채널 데이타 사이에서 발생하는 스큐를 보상하는 스큐 보상부;

상기 스큐 보상된 상기 각 채널 데이타들의 하이 레벨과 로우 레벨의 갯수를 카운팅하고, 상기 카운팅된 정보를 직류 밸런스 정보로서 상기 각 채널 데이타에 부가하여 전송하는 스크램블러;

상기 동기된 클럭 신호에 응답하여 상기 스크램블된 채널 데이타를 압축하고, 상기 압축된 결과를 1비트 씩의 채널 데이타로서 출력하는 데이타 직렬화부; 및

상기 송신용 광 다이오드를 구동하기 위해 상기 압축된 채널 데이타 및 상기 클럭 신호를 각각 서로 다른 채널 데이타로 받아들여 전류 신호로 변환하고, 상기 변환된 전류 신호를 출력하는 광학 드라이버를 포함하는 것을 특징으로 하는 광 전송 시스템의 광 전송 시스템.

### 【청구항 3】

제2항에 있어서, 상기 광학 드라이버는,

저항 값이 가변되는 바이어스 저항과 변조 저항을 포함하고, 상기 바이어스 저항과, 상기 변조 저항 값의 변화에 의해 출력되는 전류량을 변화시키는 바이어스 및 변조 저항 가변부;

외부 변화에 관계없이 항상 일정한 값으로 유지되는 밴드 갭 기준 전압을 설정하고, 상기 설정된 기준 전압과, 상기 바이어스 저항 및 변조 저항에 의한 전류 변화에 의해 바이어스 전류 또는 변조 전류를 가변시키는 밴드 갭 회로; 및

상기 각 채널 데이터를 받아들여 전류 신호로 변환하고, 상기 밴드 갭 회로에서 발생하는 변조 전류와, 상기 바이어스 전류를 상기 전류 신호와 더하여 외부 광 소자를 구동하기 위한 구동 전류로서 출력하는 레이저 드라이버를 구비하는 것을 특징으로 하는 광 전송 시스템.

#### 【청구항 4】

제3항에 있어서, 상기 밴드 갭 회로는,

전압 설정의 기준이 되는 제1노드의 전압 변화에 따라서 상기 제1노드의 전압이 일정하게 유지되도록 보상하고, 상기 밴드 갭 기준 전압과 상기 변조 저항에 걸리는 전압을 연산 증폭한 결과, 및 상기 밴드 갭 기준 전압과 상기 바이어스 저항에 걸리는 전압을 연산 증폭한 결과를 각각 제1출력 전압 및 제2출력 전압으로서 생성하는 밴드 갭 기준 전압 발생부;

상기 제1출력 전압 및 상기 제2출력 전압을 상기 밴드 갭 기준 전압 발생부로 피드백시켜 상기 제1, 제2출력 전압과, 상기 변조 저항 및 바이어스 저항에 걸리는 전압을 일정하게 유지하고, 상기 변조 저항 또는 바이어스 저항 값에 의해 상기 변조 또는 바이어스 전류를 가변시키는 바이어스 및 변조 전류 발생부; 및

외부에서 인가되는 파워 세이브 제어 신호에 응답하여 스위칭되는 하나 이상의 스위치들을 포함하고, 상기 스위치들의 스위칭 동작에 의해 상기 밴드 갭 기준 전압 발생부와, 상기 바이어스 및 변조 전류 발생부를 슬립 모드로 변환시키는 파워 세이브 제어부를 구비하는 것을 특징으로 하는 광 전송 시스템.

## 【청구항 5】

제3항에 있어서, 상기 레이저 드라이버는,

상기 채널 데이터를 비반전 신호와 반전 신호로 각각 분리하고, 상기 분리된 결과를 비반전 출력 신호 및 반전 출력 신호로서 생성하는 데이터 분리부; 및

상기 비반전 출력 신호 및 상기 반전 출력 신호의 전압 차를 구하여 상기 전압 차에 상응하는 전류를 생성하고, 상기 생성된 전류를 상기 바이어스 전류 및 상기 변조 전류와 더하여 상기 구동 전류로서 출력하는 전압/전류 변환 및 전류 구동부를 구비하는 것을 특징으로 하는 광 전송 시스템.

## 【청구항 6】

제1항에 있어서, 상기 수신 장치는,

상기 수신용 광 다이오드를 통하여 인가되는 전류 신호를 전압으로 변환하고, 상기 변환된 전압으로부터 듀티 보상 및 레벨 변환하여 디지털화된 신호를 각각의 채널 데이터로서 출력하는 광학 수신기;

상기 채널 데이터에 포함된 클럭 신호에 동기되는 클럭 신호를 발생시키고, 데이터 수신을 위한 실제의 클럭 신호로서 상기 동기된 클럭 신호를 출력하는 위상 동기 루프;

상기 송신 장치로부터 압축되어 전송되는 채널 데이터를 상기 동기된 클럭 신호에 응답하여 해제하고, 상기 해제된 결과를 스큐 보상하여 소정 비트의 채널 데이터들로서 출력하는 데이터 복원 및 스큐 보상부; 및

상기 데이터 복원 및 스큐 보상부에서 출력되는 각 채널 데이터의 직류 밸런스 정

보에 응답하여 상기 채널 데이터의 로우 레벨과 하이 레벨의 균형이 맞도록 디스크램블링하는 디스크램블러를 구비하는 것을 특징으로 하는 광 전송 시스템.

**【청구항 7】**

제6항에 있어서, 상기 광학 수신기는,

전원 전압으로부터 소정의 전류를 공급받아 제1바이어스 전류 및 제2바이어스 전류를 생성하는 바이어스 회로;

상기 제1바이어스 전류에 응답하여 전류를 소싱하고, 상기 광 수신용 다이오드로부터 출력되는 전류 신호를 차동의 전압 신호로 변환하는 전류/전압 변환부;

상기 제1바이어스 전류에 응답하여 전류를 소싱하고, 상기 차동 전압 신호를 증폭하여 상기 증폭된 결과를 제1차동 출력 신호와 제2차동 출력 신호로서 생성하는 출력하는 증폭부;

상기 제1바이어스 전류에 응답하여 전류를 소싱하며, 출력 전류가 서로 더해지는 전류 서밍(summing) 구조의 서로 다른 비교기들로 구현되고, 상기 제1차동 출력 신호와 제1기준 전압을 비교하고, 상기 제2차동 출력 신호와 제2기준 전압을 비교하여 상기 비교된 결과에 상응하는 제1, 제2출력 신호를 생성하는 듀티 보상부;

상기 제2바이어스 전류에 응답하여 전류를 소싱하며, 상기 듀티 보상부에서 출력되는 제1출력 신호와 제2출력 신호의 전압 레벨을 변환하여 디지털화하고, 상기 디지털화된 신호를 출력하는 레벨 변환부; 및

상기 레벨 변환부에서 출력된 신호를 버퍼링 및 증폭하고, 상기 버퍼링된 결과를



상기 디지털의 채널 데이터로서 출력하는 버퍼부를 구비하는 것을 특징으로하는 광 전송 시스템.

【청구항 8】

제6항에 있어서, 상기 광학 수신기는,

외부에서 인가되는 파워 다운 제어 신호에 응답하여 상기 바이어스 회로가 동작하지 않도록 제어하는 파워 다운 제어부를 더 구비하는 것을 특징으로 하는 광 전송 시스템.

【청구항 9】

제6항에 있어서, 상기 데이터 복원 및 스큐 보상부는,

상기 광학 수신기로부터 직렬 전송되는 데이터를 소정의 제1 ~ 제n 논 오버래핑 클럭 신호들에 응답하여 병렬로  $n+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치하고, 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 n비트로 이루어진 N개의 상태 데이터들을 출력하는 제1 래치부;

상기 N개의 상태 데이터들을, 상기 제1 ~ 제n 논 오버래핑 클럭 신호들중 타이밍 마진이 가장 큰 제X( $1 \leq X \leq n$ ) 논 오버래핑 클럭 신호에 응답하여 병렬로 래치하는 제2 래치부; 및

소정의 동기 존재 신호와 상기 제X 논 오버래핑 클럭 신호에 응답하여, 상기 제2 래치부에서 래치된 데이터들중 상기 동기 신호가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 출력하는 동기화부를 구비하고,

상기 제1~제n는 오버래핑 클럭 신호들은 상기 위상 동기 루프에서 생성되어 서로가 겹치지 않도록 소정 오프셋을 갖는 것을 특징으로 하는 광 전송 시스템.

#### 【청구항 10】

외부에서 인가되는 소정의 채널 데이터를 광 전송로를 통하여 광 신호로 전송하기 위한 송신 장치(Transmitter)의 광학 드라이버에 있어서,

저항 값이 가변되는 바이어스 저항과 변조 저항을 포함하고, 상기 바이어스 저항과, 상기 변조 저항 값의 변화에 의해 출력되는 전류량을 변화시키는 바이어스 및 변조 저항 가변부;

외부 변화에 관계없이 항상 일정한 값으로 유지되는 밴드 갭 기준 전압을 설정하고, 상기 설정된 기준 전압과, 상기 바이어스 저항 및 변조 저항에 의한 전류 변화에 의해 바이어스 전류 또는 변조 전류를 가변시키는 밴드 갭 회로; 및

상기 각 채널 데이터를 받아들여 전류 신호로 변환하고, 상기 밴드 갭 회로에서 발생하는 변조 전류와, 상기 바이어스 전류를 상기 전류 신호와 더하여 외부 광 소자를 구동하기 위한 구동 전류로서 출력하는 레이저 드라이버를 구비하는 것을 특징으로 하는 광학 드라이버.

#### 【청구항 11】

제10항에 있어서, 상기 밴드 갭 회로는,

전압 설정의 기준이 되는 제1노드의 전압 변화에 따라서 상기 제1노드의 전압이 일정하게 유지되도록 보상하고, 상기 밴드 갭 기준 전압과 상기 변조 저항에 걸리는 전압을 연산 증폭한 결과, 및 상기 밴드 갭 기준 전압과 상기 바이어스 저항에 걸리는 전

압을 연산 증폭한 결과를 각각 제1출력 전압 및 제2출력 전압으로서 생성하는 밴드 갭 기준 전압 발생부;

상기 제1출력 전압 및 상기 제2출력 전압을 상기 밴드 갭 기준 전압 발생부로 피드백시켜 상기 제1, 제2출력 전압과, 상기 변조 저항 및 바이어스 저항에 걸리는 전압을 일정하게 유지하고, 상기 변조 저항 또는 바이어스 저항 값에 의해 상기 변조 전류 또는 바이어스 전류를 가변시키는 바이어스 및 변조 전류 발생부; 및

외부에서 인가되는 파워 세이브 제어 신호에 응답하여 스위칭되는 하나 이상의 스위치들을 포함하고, 상기 스위치들의 스위칭 동작에 의해 상기 밴드 갭 기준 전압 발생부와, 상기 바이어스 및 변조 전류 발생부를 슬립 모드로 변환시키는 파워 세이브 제어부를 구비하는 것을 특징으로 하는 광학 드라이버.

#### 【청구항 12】

제10항에 있어서, 상기 레이저 드라이버는,

상기 채널 데이터를 비반전 신호 및 반전 신호로 각각 분리하고, 상기 분리된 결과를 비반전 출력 신호 및 반전 출력 신호로서 생성하는 데이터 분리부; 및

상기 비반전 출력 신호 및 상기 반전 출력 신호의 전압 차를 구하여 상기 전압 차에 상응하는 전류를 생성하고, 상기 생성된 전류를 상기 바이어스 전류 및 상기 변조 전류와 더하여 상기 구동 전류로서 출력하는 전압/전류 변환 및 전류 구동부를 구비하는 것을 특징으로 하는 광학 드라이버.

#### 【청구항 13】

제12항에 있어서, 상기 데이터 분리부는,

상기 비반전 출력 신호와 상기 반전 출력 신호가 동일한 지연 시간을 갖는 것을 특징으로 하는 광학 드라이버.

#### 【청구항 14】

외부의 광 수신용 다이오드에서 전류 신호로 변환된 채널 데이터를 수신하여 디지털의 신호로 복원하는 수신 장치의 광학 수신기에 있어서,

전원 전압으로부터 소정의 전류를 공급받아 제1바이어스 전류 및 제2바이어스 전류를 생성하는 바이어스 회로;

상기 제1바이어스 전류에 응답하여 전류를 소싱하고, 상기 광 수신용 다이오드로부터 출력되는 전류 신호를 차동의 전압 신호로 변환하는 전류/전압 변환부;

상기 제1바이어스 전류에 응답하여 전류를 소싱하고, 상기 차동 전압 신호를 증폭하여 상기 증폭된 결과를 제1차동 출력 신호와 제2차동 출력 신호로서 생성하는 출력하는 증폭부;

상기 제1바이어스 전류에 응답하여 전류를 소싱하며, 출력 전류가 서로 더해지는 전류 서밍(summing) 구조의 서로 다른 비교기들로 구현되고, 상기 제1차동 출력 신호와 제1기준 전압을 비교하고, 상기 제2차동 출력 신호와 제2기준 전압을 비교하여 상기 비교된 결과에 상응하는 제1, 제2출력 신호를 생성하는 듀티 보상부; 및

상기 제2바이어스 전류에 응답하여 전류를 소싱하며, 상기 듀티 보상부에서 출력되는 제1출력 신호와 제2출력 신호의 전압 레벨을 변환하여 디지털화하고, 상기 디지털화된 신호를 출력하는 레벨 변환부를 구비하는 것을 특징으로하는 광학 수신기.

**【청구항 15】**

제14항에 있어서, 상기 광학 수신기는,

상기 레벨 변환부에서 출력된 신호를 버퍼링 및 증폭하고, 상기 버퍼링된 결과를 디지털의 채널 데이터로서 출력하는 버퍼부를 더 구비하는 것을 특징으로 하는 광학 수신기.

**【청구항 16】**

제14항에 있어서, 상기 광학 수신기는,

외부에서 인가되는 파워 다운 제어 신호에 응답하여 상기 바이어스 회로가 동작하지 않도록 제어하는 파워 다운 제어부를 더 구비하는 것을 특징으로 하는 광학 수신기.

**【청구항 17】**

제14항에 있어서, 상기 듀티 보상부는,

상기 제1차동 출력 신호를 적분하여 제1기준 전압으로 설정하고, 상기 제2차동 출력 신호를 적분하여 제2기준 전압으로 설정하는 것을 특징으로 하는 광학 수신기.

**【청구항 18】**

제15항에 있어서, 상기 버퍼부는,

직렬 연결된 다수의 인버터들을 포함하고, 상기 인버터들을 구성하는 트랜지스터들의 사이즈는  $2K$ (여기에서,  $K$ 는 0 이상의 자연수) 배수로 점차 증가하는 것을 특징으로 하는 광학 수신기.

## 【청구항 19】

서로 겹치지 않도록 소정 오프셋을 갖는 제1 ~ 제n 논 오버랩핑 클럭 신호들을 발생하는 위상 동기 루프를 구비하고, 각각 n(여기서, n은 1이상의 양의 정수)비트의 동기 신호와 정보 데이터가 멀티플렉싱되어 전송 채널을 통하여 직렬 전송되는 데이터를 상기 제1~제n논 오버랩핑 클럭 신호들에 응답하여 복원하는 수신 장치의 데이터 복원 및 스큐 보상 회로에 있어서,

수신된 상기 직렬 전송 데이터를 상기 제1 ~ 제n 논 오버랩핑 클럭 신호들에 응답하여 병렬로  $n+N-1$ (여기서, N은 3이상의 양의 정수)비트 단위로 래치하고, 서로 간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된 n비트로 이루어진 N개의 상태 데이터를 출력하는 제1래치부;

상기 N개의 상태 데이터를, 상기 제1~제n 논 오버랩핑 클럭 신호들중 타이밍 마진이 가장 큰 제X( $1 \leq X \leq n$ ) 논 오버랩핑 클럭 신호에 응답하여 병렬로 래치하는 제2래치부; 및

소정의 동기 존재 신호와 상기 제X 논 오버랩핑 클럭 신호에 응답하여, 상기 제2래치부에서 래치된 데이터들중 상기 동기 신호가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 출력하는 동기화부를 구비하는 것을 특징으로 하는 데이터 복원 및 스큐 보상 회로.

## 【청구항 20】

제18항에 있어서, 상기 소정 오프셋은 상기 직렬 전송 데이터의 단위 비트의 폭에 해당하는 것을 특징으로 하는 데이터 복원 및 스큐 보상 회로.

## 【청구항 21】

제18항에 있어서, 상기 제1래치부는,

각각이, 수신한 상기 직렬 전송 데이터의 단위 비트를 데이터 입력하고 상기 제1 ~ 제n 논 오버래핑 클럭 신호들 각각을 클럭 입력하는 제1~제n+N-1 플립플롭들; 및

각각이, 상기 제1~제n+N-1 플립플롭들중 해당하는 n개의 플립플롭들의 데이터 출력을 버퍼링하고, 버퍼링된 결과를 상기 상태 데이터로서 출력하는 제1 ~ 제N 버퍼들을 구비하는 것을 특징으로 하는 데이터 복원 및 스큐 보상 회로.

## 【청구항 22】

제18 항에 있어서, 상기 동기화부는,

상기 N개의 상태 데이터들중 하나를 선택 신호에 응답하여 선택적으로 출력하는 선택부;

상기 싱크 존재 신호 및 현재 상태를 나타내는 현재 상태 신호에 응답하여, 상기 선택부에서 선택된 상태 데이터와 상기 동기 신호의 소정 비트 패턴을 비교하고, 비교된 결과에 응답하여 상기 선택 신호 및 다음 상태를 나타내는 다음 상태 신호를 출력하는 상태 및 선택 신호 발생부; 및

상기 다음 상태 신호를 상기 제X 논 오버래핑 클럭 신호에 응답하여 버퍼링하고, 버퍼링된 결과를 상기 현재 상태 신호로서 출력하는 제N+1 버퍼를 구비하고,

상기 복원된 정보 데이터는 상기 동기 신호와 상기 소정 비트 패턴이 일치할 때 상기 선택부에서 선택된 상태 데이터에 해당하는 것을 특징으로 하는 데이터 복원 및 스큐 보상 회로.

## 【청구항 23】

전송 채널을 통해 클럭 신호와 함께 직렬로 전송되며 각각이  $n$ (여기서,  $n$ 은 1이상의 양의 정수)비트인 동기 신호와 정보 데이터가 멀티플렉싱된 직렬 전송 데이터로부터 상기 정보 데이터를 복원해내는 데이터 복원 방법에 있어서,

(a) 서로가 겹치지 않도록 소정 오프셋을 갖는 제1~제 $n$  논 오버랩핑 클럭 신호들을 상기 클럭 신호를 기준으로 발생하는 단계;

(b) 수신한 상기 직렬 전송 데이터를 상기 제1~제 $n$  논 오버랩핑 클럭 신호들을 이용하여 병렬로  $n+N-1$ (여기서,  $N$ 은 3이상의 양의 정수)비트 단위로 래치하는 단계;

(c) 서로간에 상기 소정 오프셋의 시간차를 가지며 각각이 래치된  $n$ 비트로 이루어진  $N$ 개의 상태 데이터들을 발생하는 단계;

(d) 상기  $N$ 개의 상태 데이터들을, 상기 제1~제 $n$  논 오버랩핑 클럭 신호들중 타이밍 마진이 가장 큰 제 $X$ ( $1 \leq X \leq n$ ) 논 오버랩핑 클럭 신호에 동기시켜 병렬로 래치하는 단계; 및

(e) 상기 직렬 전송 데이터가 상기 동기 신호일 때, 래치된 상태 데이터들중 상기 동기 신호가 검출되는 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계를 구비하는 것을 특징으로 하는 데이터 복원 방법.

## 【청구항 24】

제23 항에 있어서, 상기 (e) 단계는,

(e1) 상기 직렬 전송 데이터가 상기 동기 신호이면, 상기 상태 데이터들 중 상기 클럭 신호와 동기된 제1 상태 데이터가 상기 동기 신호의 소정 비트 패턴과 일치하는가



를 판단하는 단계;

(e2) 상기 제1 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제1 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계;

(e3) 상기 제1 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 상태 데이터들중 상기 제1 상태 데이터보다 상기 소정 오프셋만큼 지연된(lagging) 제2 상태 데이터가 상기 소정 비트 패턴과 일치하는가를 판단하는 단계;

(e4) 상기 제2 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제2 상태 데이터를 복원된 상기 정보 데이터로서 결정하는 단계;

(e5) 상기 제2 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 상태 데이터들중 상기 제1 상태 데이터보다 상기 소정 오프셋만큼 앞선(leading) 제3 상태 데이터가 상기 소정 비트 패턴과 일치하는가를 판단하는 단계;

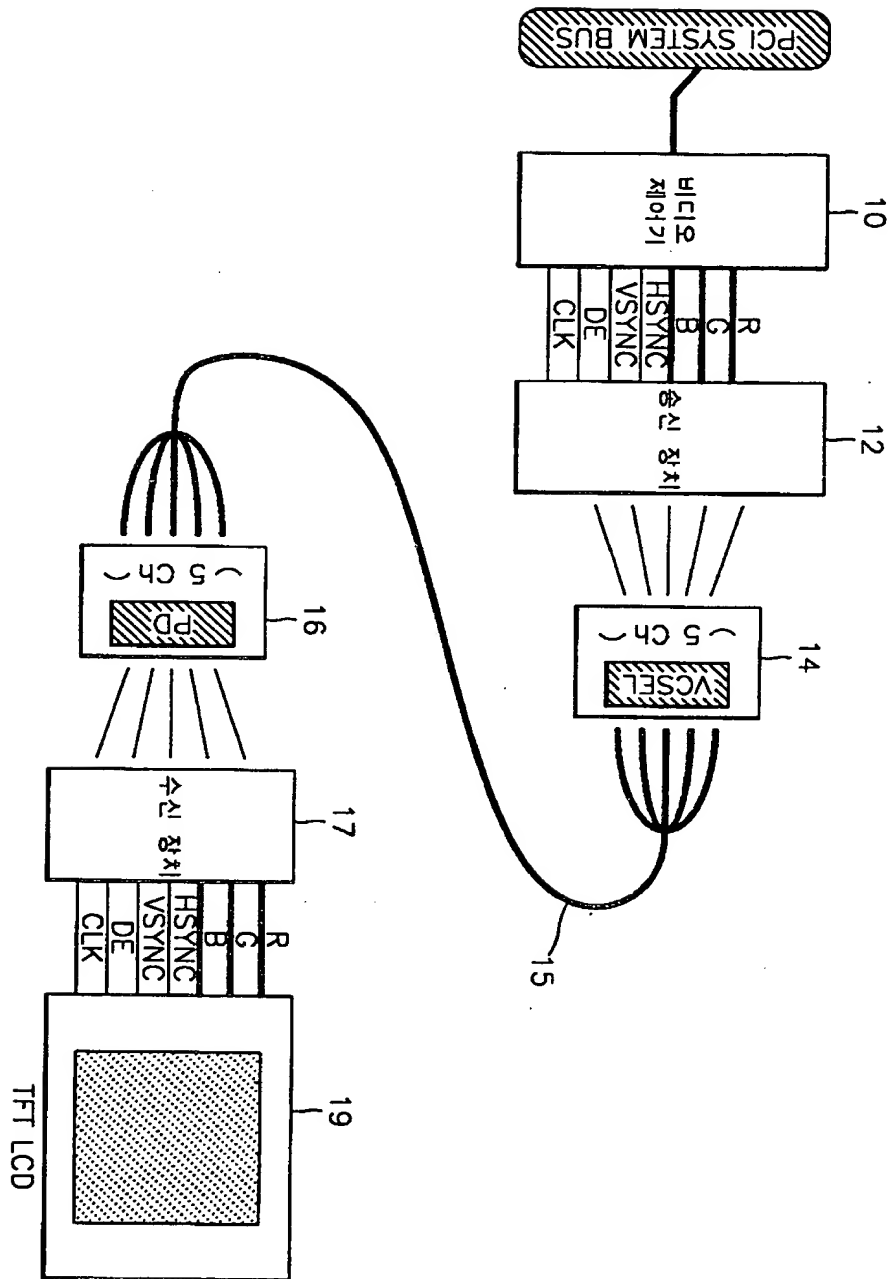
(e6) 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하면, 상기 제3 상태 데이터를 상기 복원된 정보 데이터로서 결정하는 단계; 및

(e7) 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하지 않으면, 상기 (e1) 단계로 진행하는 단계를 구비하고,

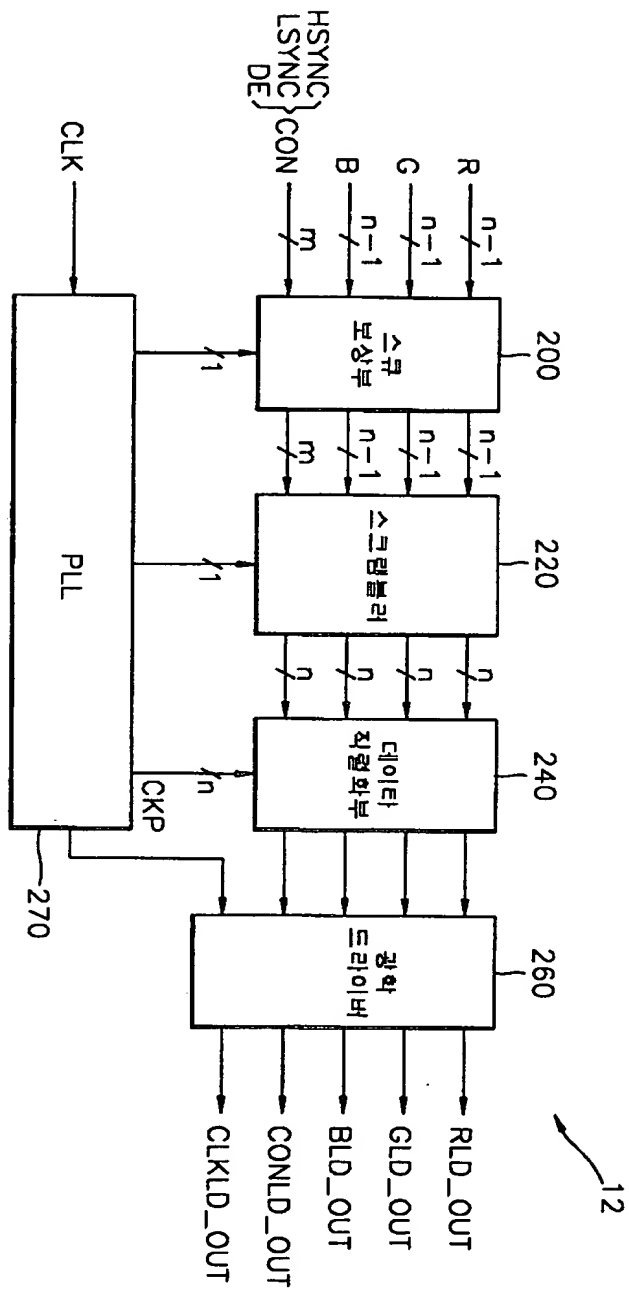
상기 제1, 상기 제2 또는 상기 제3 상태 데이터가 복원된 상기 정보 데이터로서 결정된 후 상기 제1, 상기 제2 또는 상기 제3 상태 데이터가 상기 소정 비트 패턴과 일치하지 않게 되면 상기 (e1) 단계로 진행하는 것을 특징으로 하는 데이터 복원 방법.

【도면】

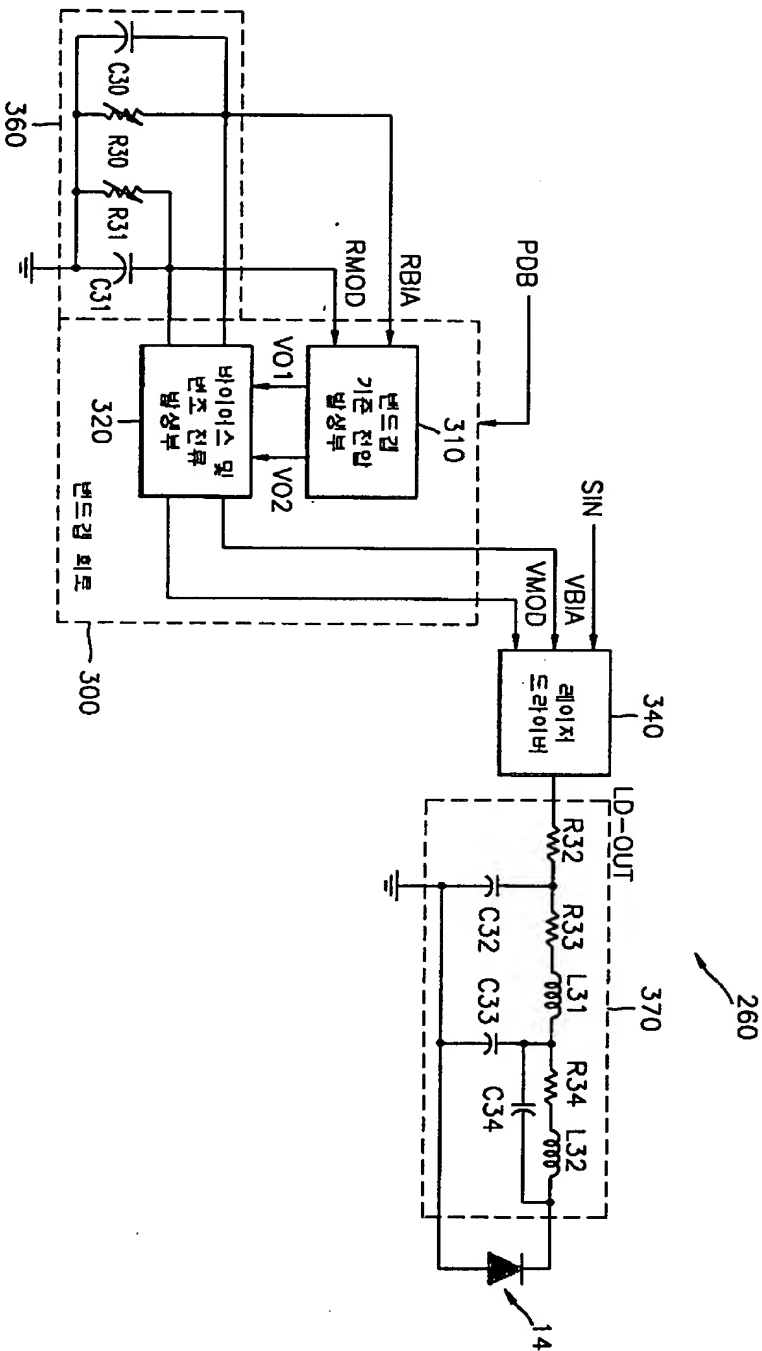
【도 1】



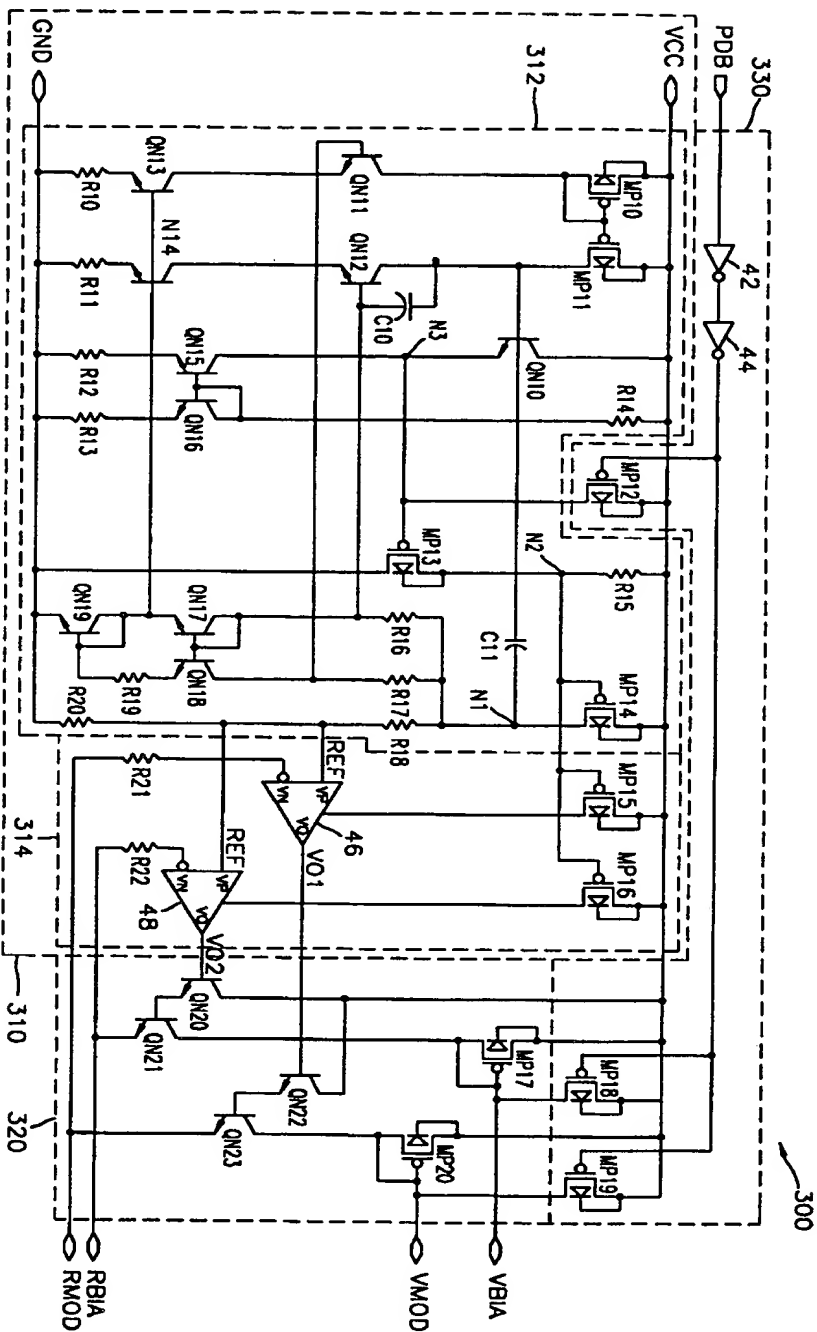
【도 2】



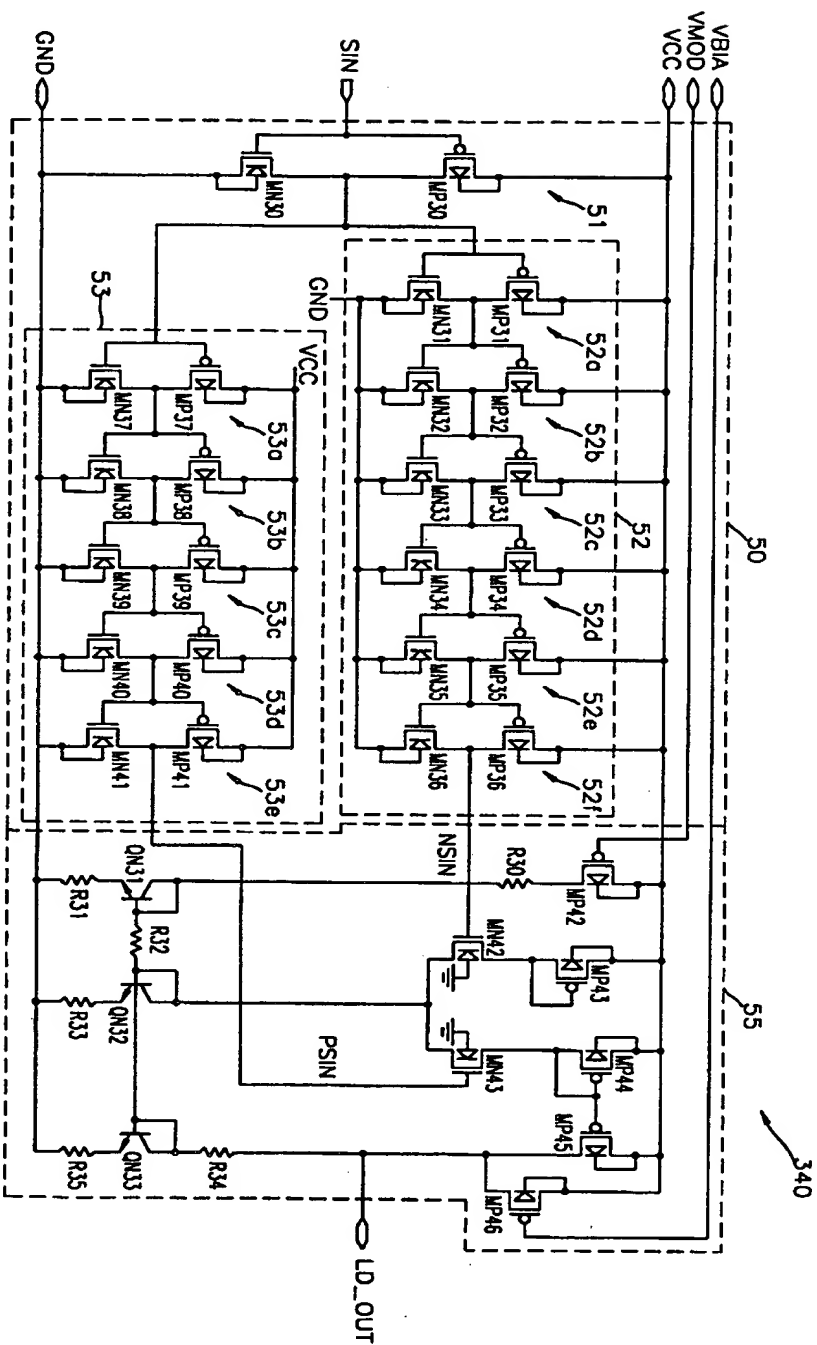
【도 3】



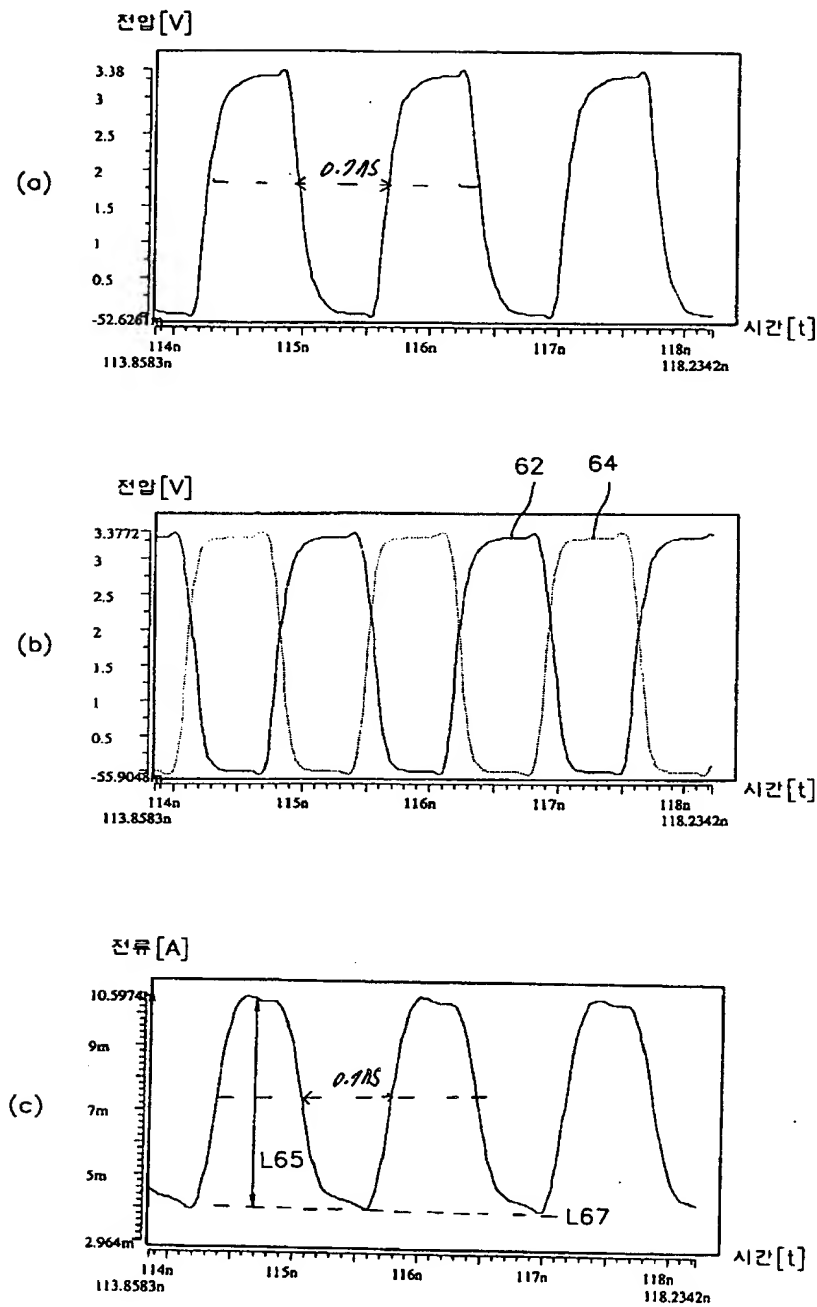
【图 4】



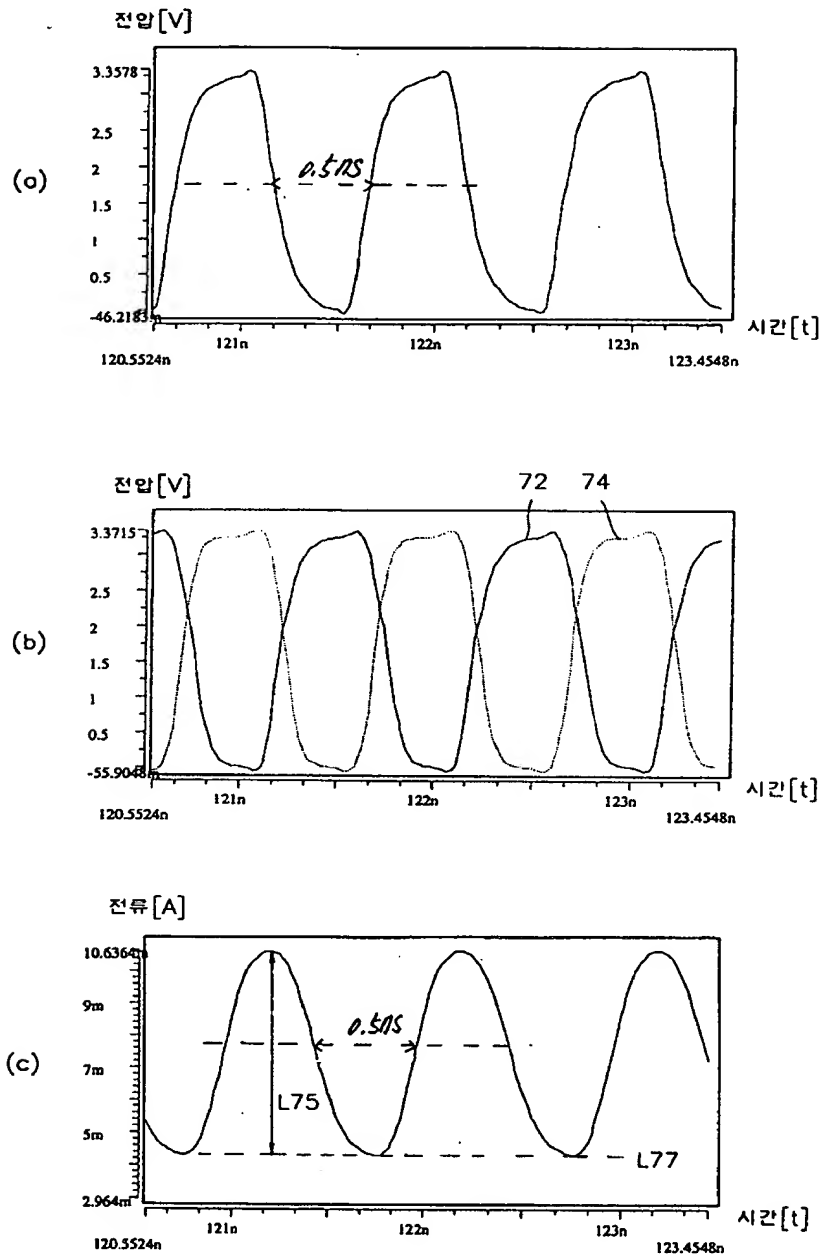
【H 5】



【도 6】

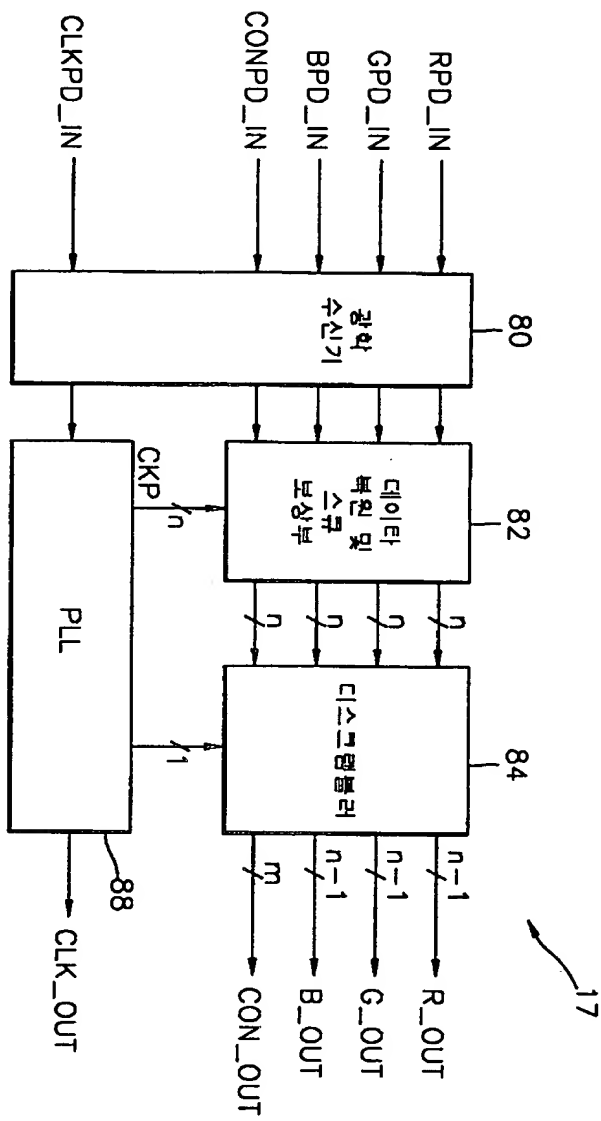


【도 7】

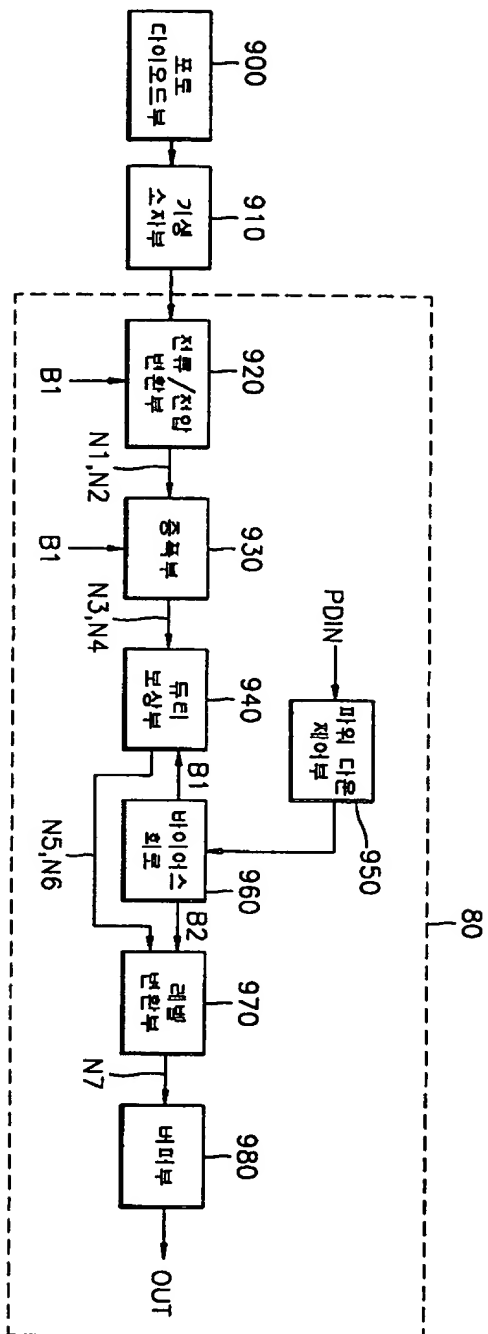




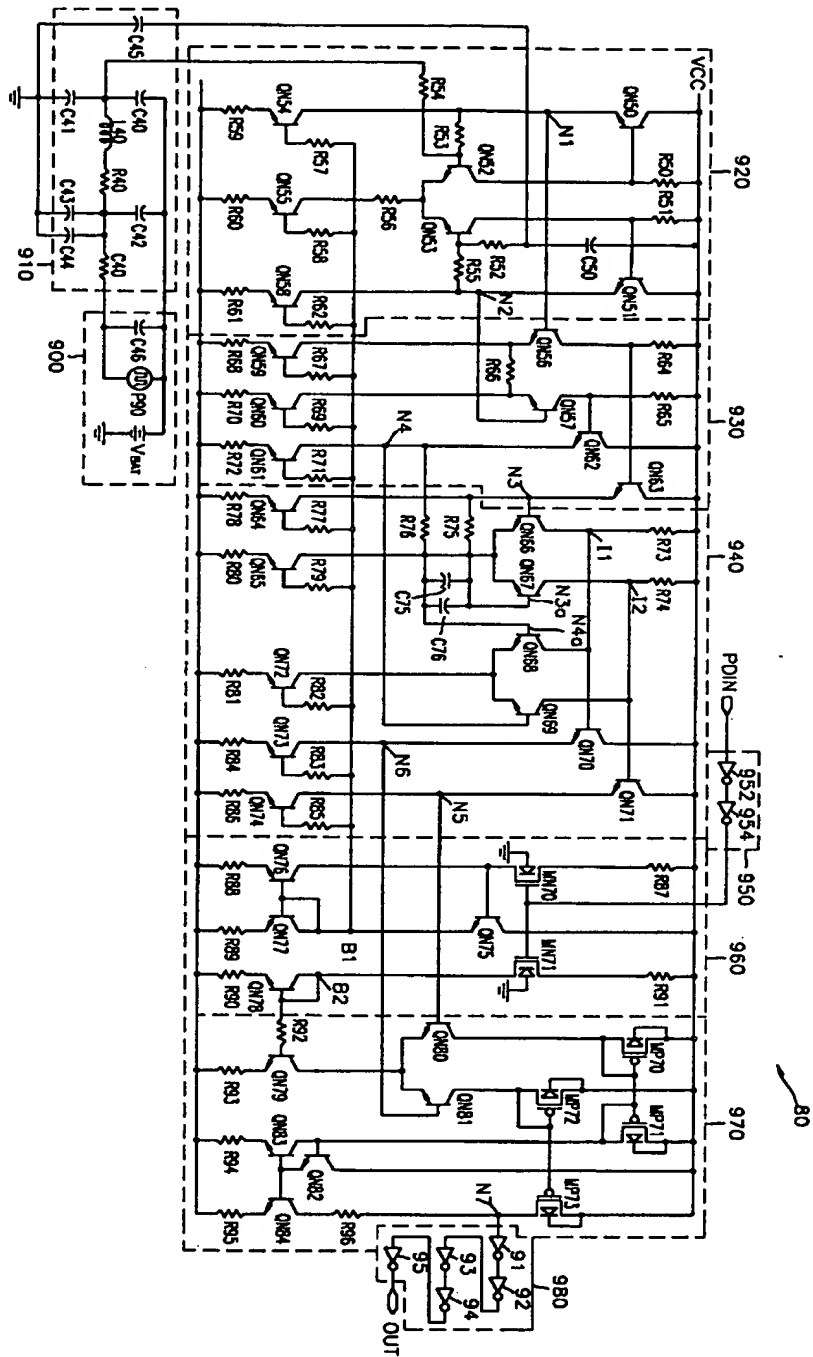
【도 8】



【도 9】

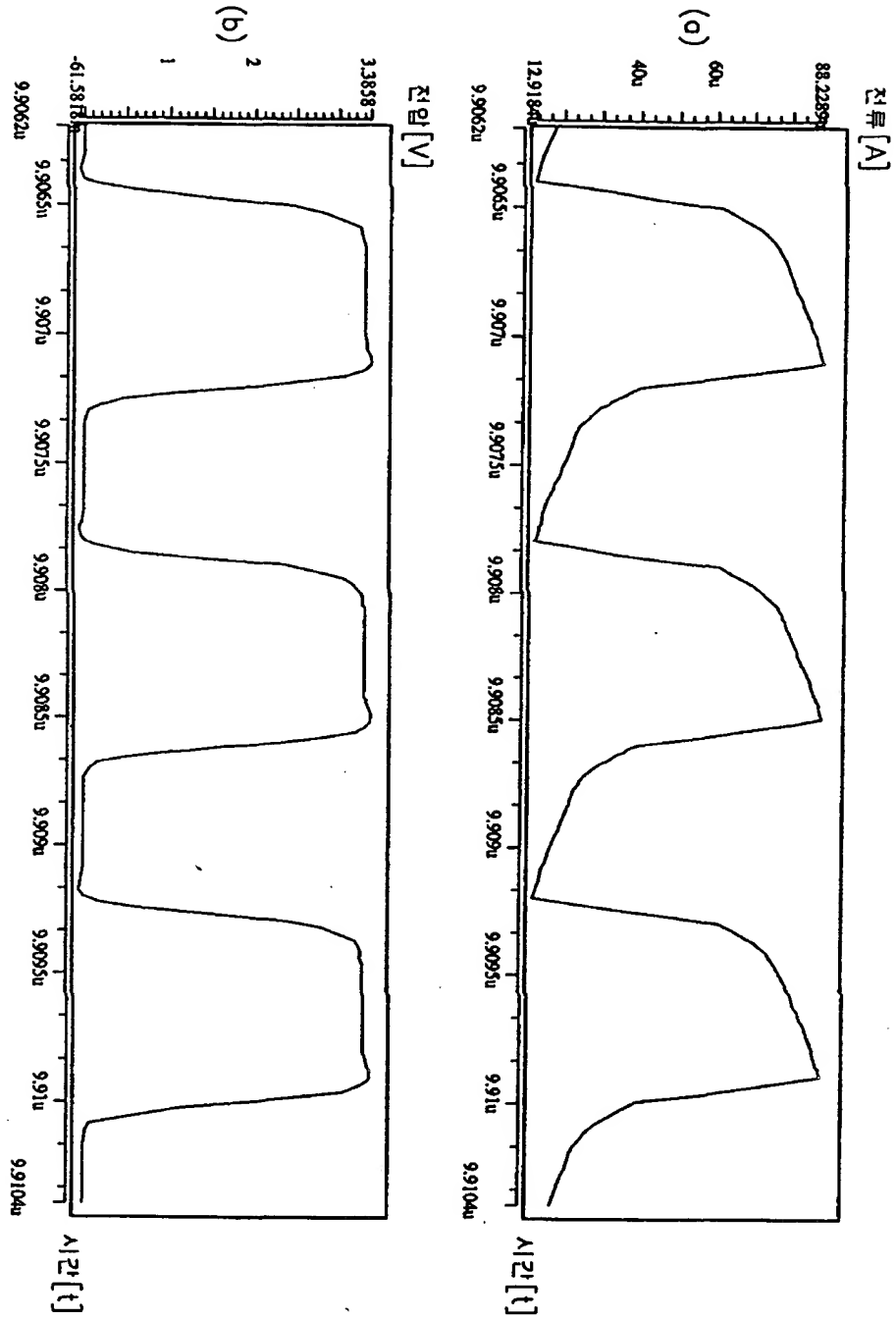


【图 10】

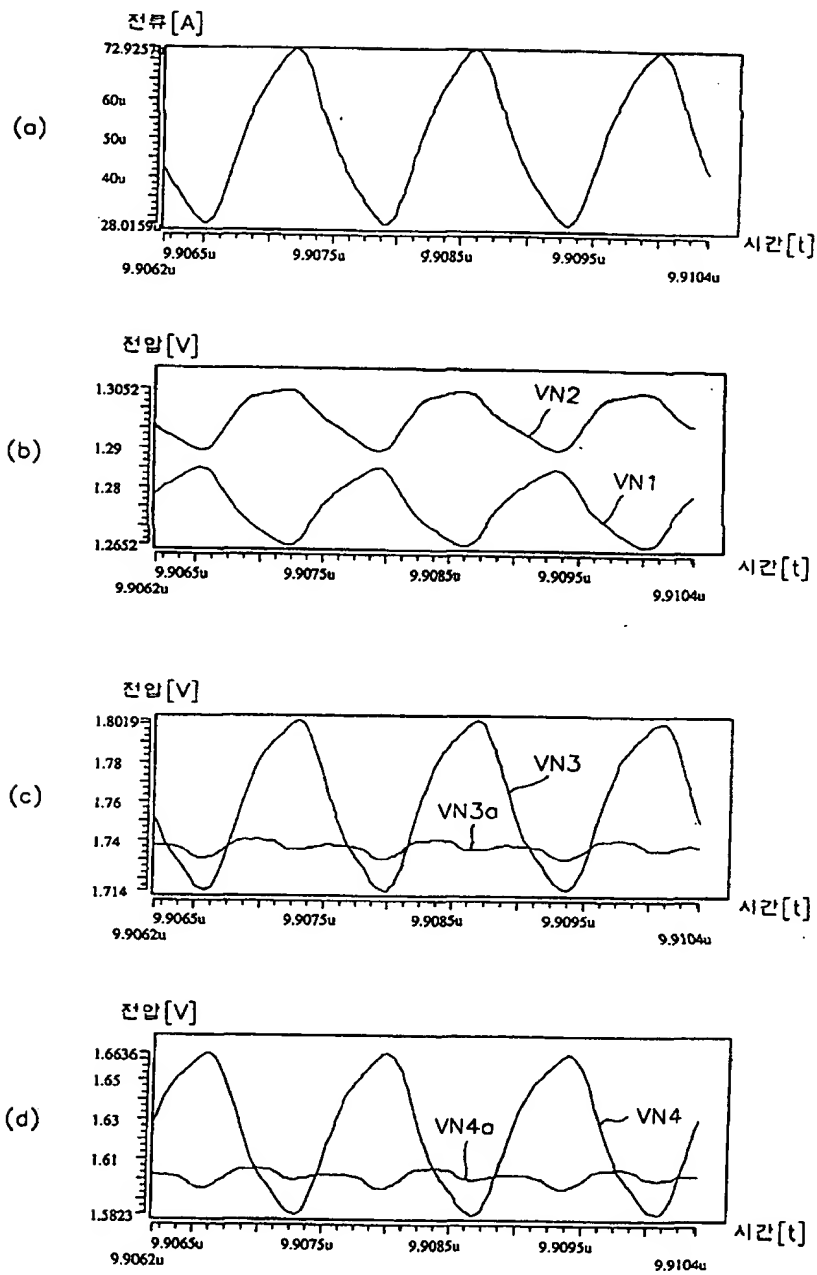


1019990049951

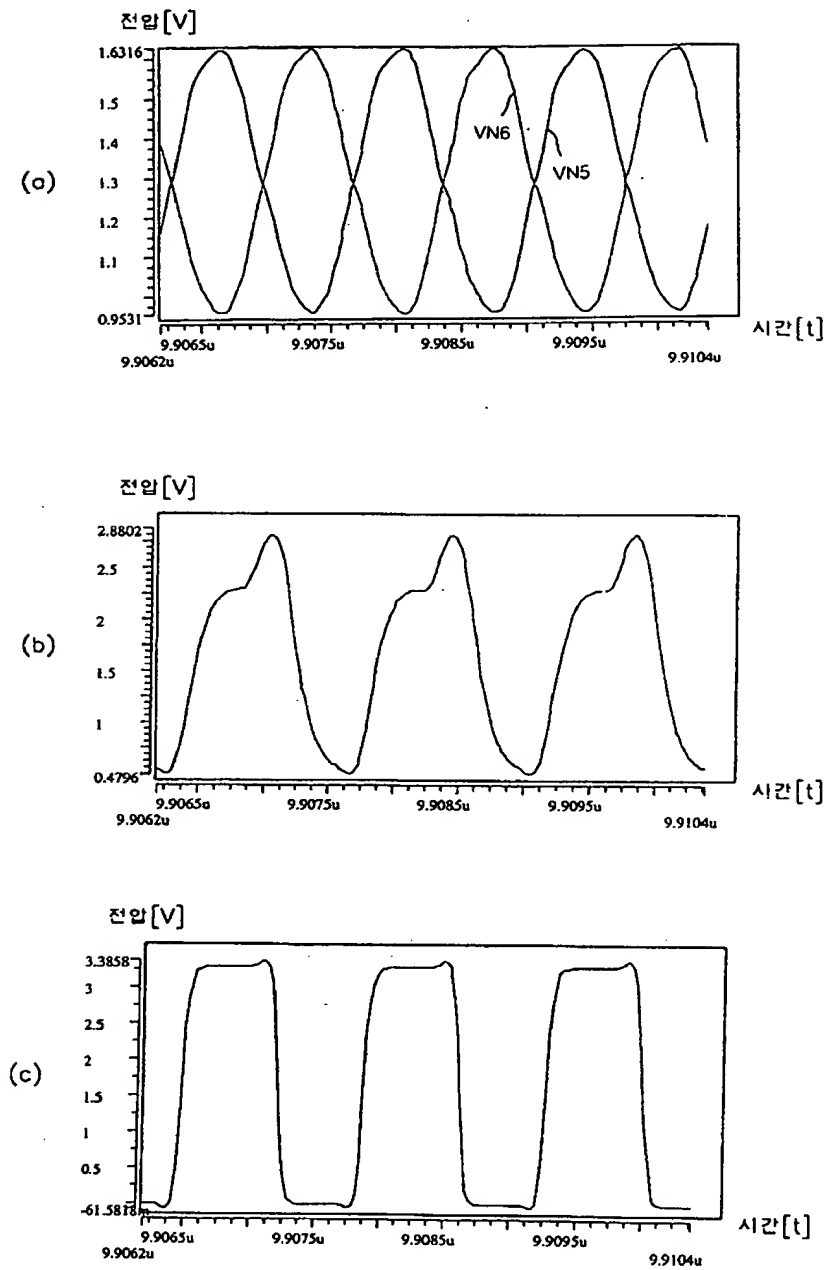
【图 11】



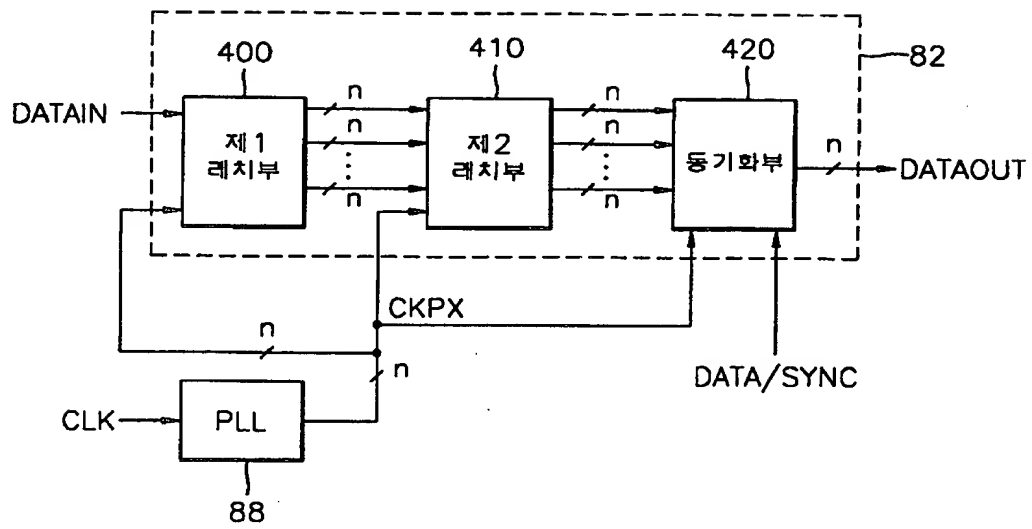
【도 12】



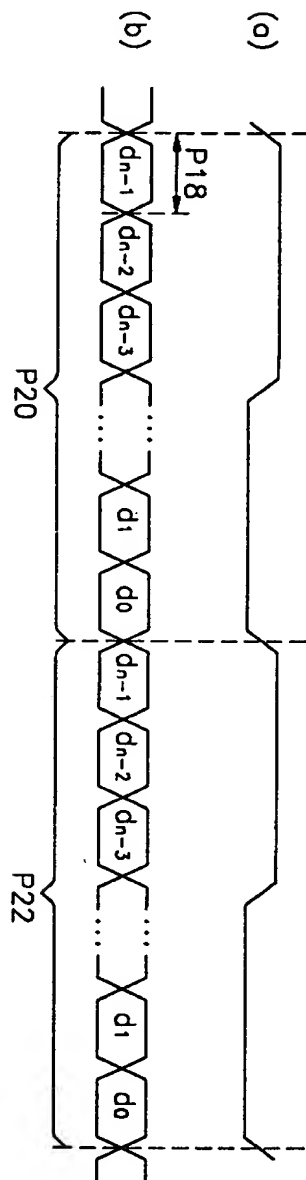
【도 13】



【도 14】

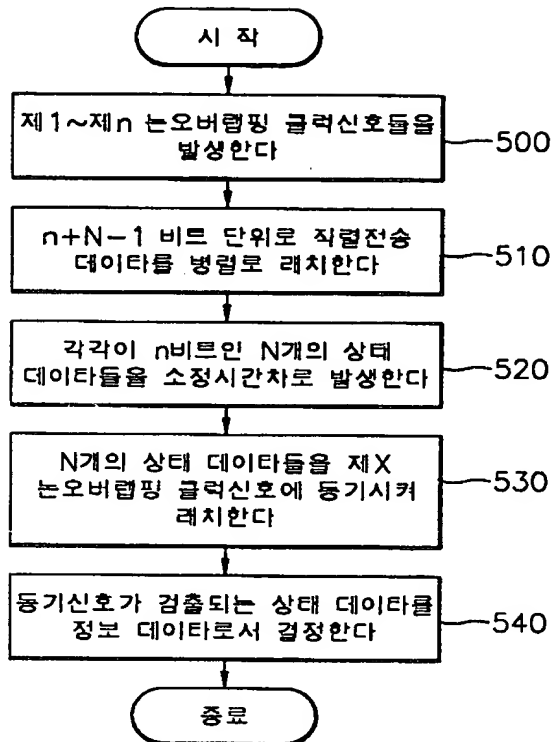


【도 15】

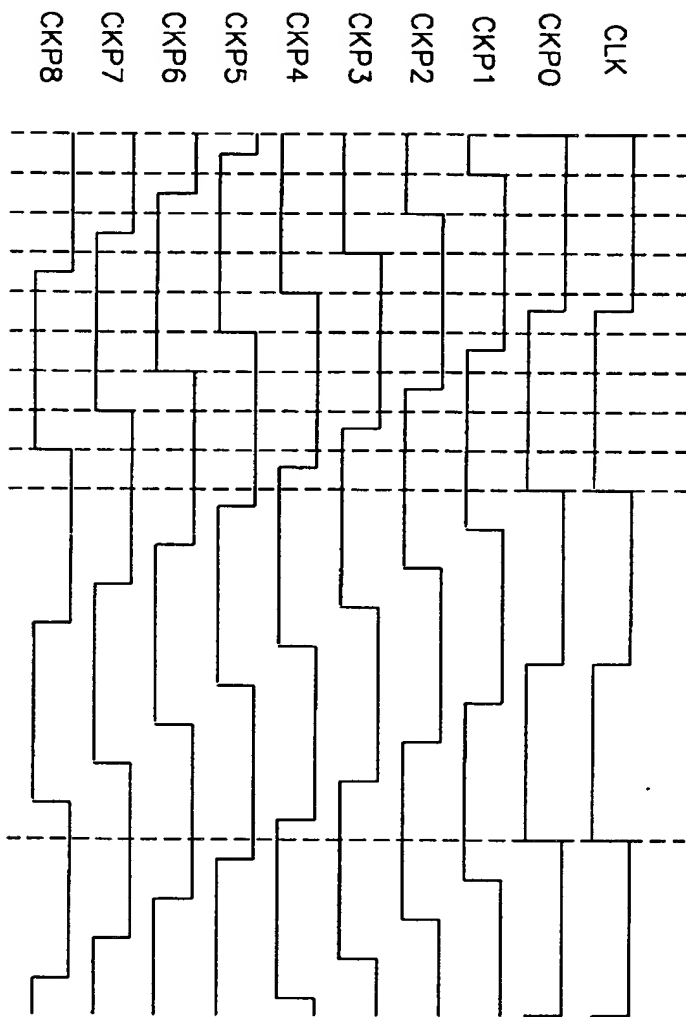




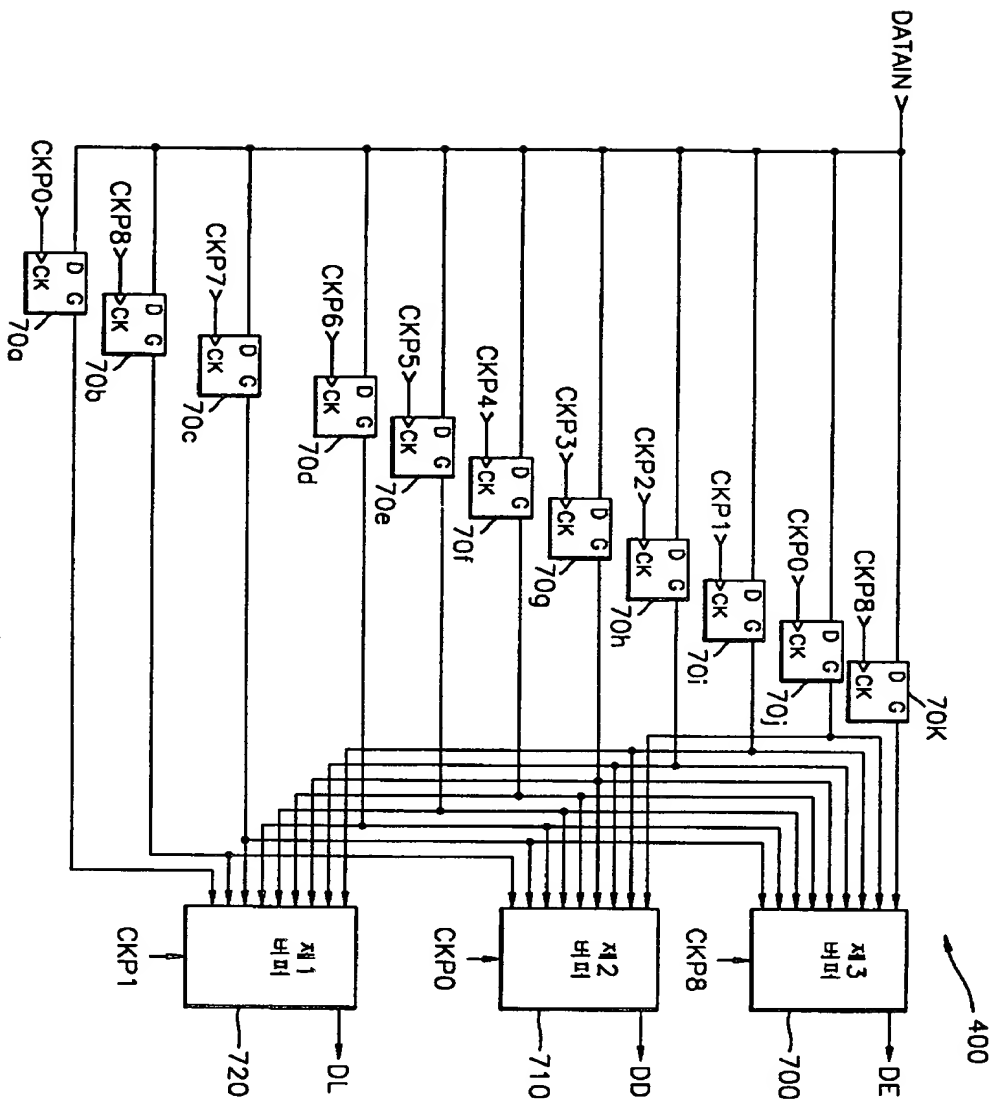
【도 16】



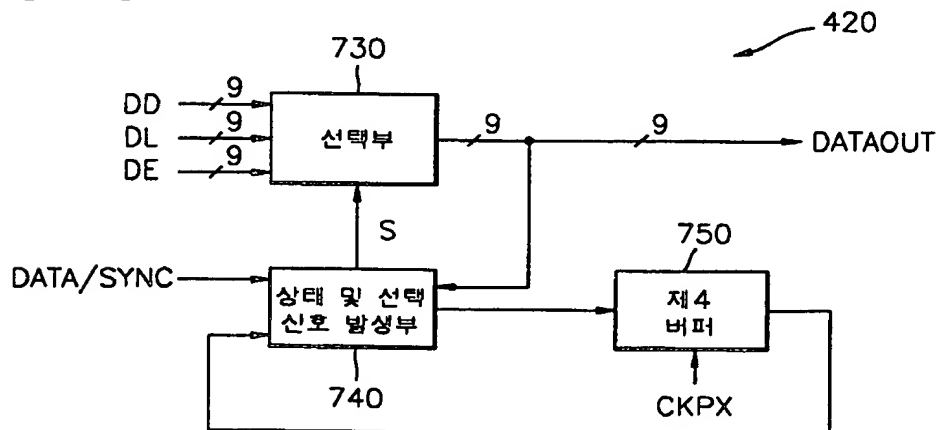
【图 17】



【도 18】



【도 19】



【도 20】

